

5. KOMBİNEZONSAL LOJİK DEVRE TASARIMI

5.1. Kombinezonsal Devre Tasarımı

1. Problem sözle tanıtılır,
2. Giriş ve çıkış değişkenlerinin sayısı belirlenir ve adlandırılır,
3. Probleme ilişkin doğruluk tablosu oluşturulur,
4. Her bir çıkışa ait lojik fonksiyon, görüŖe dayalı, Karnaugh diyagramı veya Quine McCluskey vb. yöntemler kullanılarak indirgenir,
5. Fiziksel gerçektelemede kullanılacak lojik devre elemanları belirlenir.
 - Gerçektelele tek tip kapı veya farklı tipte lojik devre elemanları ile yapılacaksa, indirgenmiş çıkış fonksiyonları buna uygun şekilde yeniden düzenlenir.
6. Fiziksel gerçektelemede elde edilen sonuç fonksiyonlara ilişkin lojik devre Ŗeması çizilir.

Örnek-7.1.

Bu örnekte iki girişli bir çıkışlı bir kombinezonsal devre tasarımı yapılmıştır.

1. Girişlerin her ikisi de “0” ise lojik devrenin çıkışında lojik “0”, aksi durumda ise devrenin çıkışında lojik “1” olması istenmektedir. (*Problem sözle tanıtılır*)
2. Tasarlanacak devrenin iki girişi ve bir çıkışı vardır. Girişler x_1 ve x_2 , çıkış ise Z olarak adlandırılır. (*Giriş ve çıkış değişkenlerinin sayısı belirlenir ve adlandırılır*)
3. Tasarlanacak devreye ilişkin doğruluk tablosu, (*Probleme ilişkin doğruluk tablosu oluşturulur*)

x_1	x_2	Z
0	0	0
0	1	1
1	0	1
1	1	1

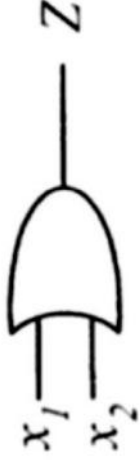
4. Bu aşamada çıkışa ilişkin ifade iki değişkenli Karnaugh diyagramı ile indirgenir. (Her bir çıkışa ait lojik fonksiyon, görüşe dayalı, Karnaugh diyagramı veya Quine McCluskey vb. yöntemler kullanılarak indirgenir)

$x_2 \backslash x_1$	0	1
0	0	1
1	1	1

5. Fiziksel gerçeplemede kullanılacak lojik devre elemanları belirlenir.

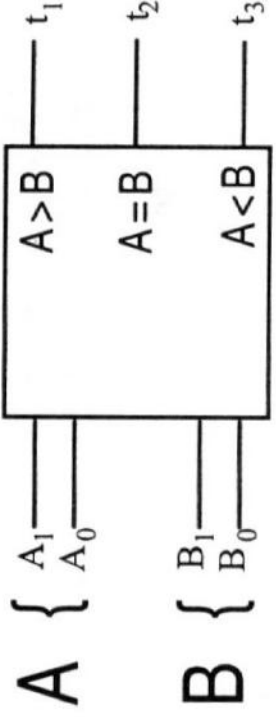
- Gerçepleme tek tip kapı veya farklı tipte lojik devre elemanları ile yapılacaksa, indirgenmiş çıkış fonksiyonları buna uygun şekilde yeniden düzenlenir.

6. Fiziksel gerçeplemede elde edilen sonuç fonksiyonlara ilişkin lojik devre şeması çizilir.



Örnek-7.3.

1. “A1 A0” ve “B1 B0” şeklinde verilen 2-Bitlik iki sayının birbirine eşit, küçük ve büyük olduğunu bulan 2-Bit Genlik Karşılaştırıcı devrenin tasarlanarak gerçekleştirilmesi.
(Problem sözle tanıtılır)
2. Tasarlanacak devrenin iki tane 2-Bit girişi ve eşit, küçük ve büyük olmak üzere üç tane çıkışı vardır. Girişler “A1 A0” ve “B1 B0”, çıkışlar ise büyük ($A > B$, t1), eşit ($A = B$, t2) ve küçük ($A < B$, t3) olarak adlandırılısın. (Giriş ve çıkış değişkenlerinin sayısı belirlenir ve adlandırılır)



3. Tasarlanacak devreye ilişkin doğruluk tablosu, (Probleme ilişkin doğruluk tablosu oluşturulur)

m	A1	A0	B1	B0	A > B, t1	A = B, t2	A < B, t3
0	0	0	0	0	0	1	0
1	0	0	0	1	0	0	1
2	0	0	1	0	0	0	1
3	0	0	1	1	0	0	1
4	0	1	0	0	1	0	0
5	0	1	0	1	0	1	0
6	0	1	1	0	0	0	1
7	0	1	1	1	0	0	1
8	1	0	0	0	1	0	0
9	1	0	0	1	1	0	0
10	1	0	1	0	0	1	0
11	1	0	1	1	0	0	1
12	1	1	0	0	1	0	0
13	1	1	0	1	1	0	0
14	1	1	1	0	1	0	0
15	1	1	1	1	0	1	0

$$t1 = \sum m(4, 8, 9, 12, 13, 14)$$

$$t2 = \sum m(0, 5, 10, 15)$$

$$t3 = \sum m(1, 2, 3, 6, 7, 11)$$

veya

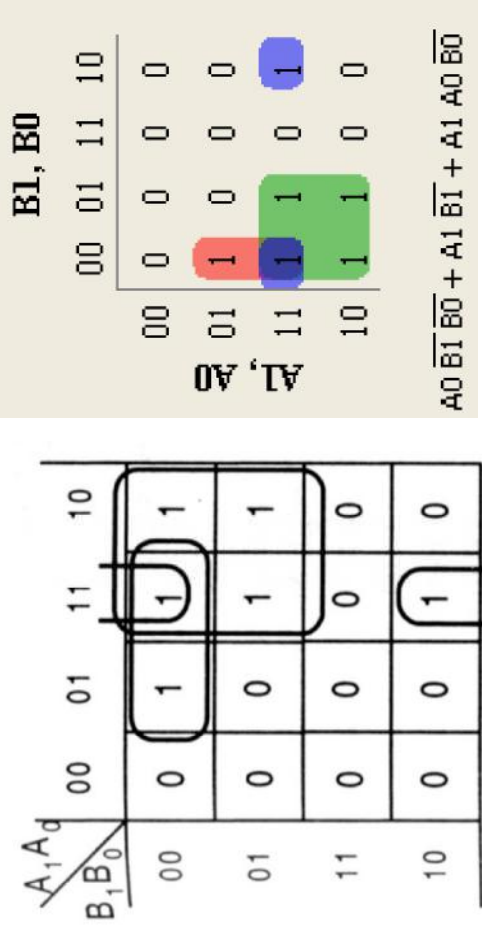
$$t1 = \overline{t2} \cdot \overline{t3} = (\overline{t2 + t3})$$

$$t2 = \overline{t1} \cdot \overline{t3} = (\overline{t1 + t3})$$

$$t3 = \overline{t1} \cdot \overline{t2} = (\overline{t1 + t2})$$

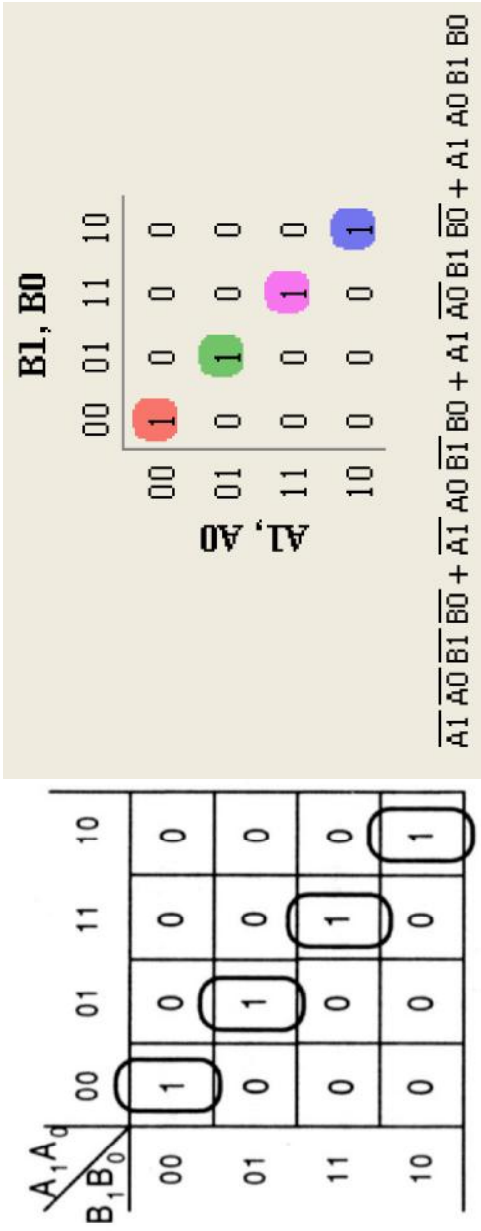
4. Bu aşamada çıkışa ilişkin ifade iki değişkenli Karnaugh diyagramı ile indirgenir. (Her bir çıkışa ait lojik fonksiyon, görüşe dayalı, Karnaugh diyagramı veya Quine McCluskey vb. yöntemler kullanılarak indirgenir)

$$t1 = \sum m(4, 8, 9, 12, 13, 14)$$



$$t_1 = A_1 \cdot \overline{B_1} + A_0 \cdot \overline{B_1} \cdot \overline{B_0} + A_1 \cdot A_0 \cdot \overline{B_0}$$

$$t2 = \sum m(0, 5, 10, 15)$$



$$t_2 = \overline{A_1} \cdot \overline{A_0} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{A_1} \cdot A_0 \cdot \overline{B_1} \cdot \overline{B_0} + A_1 \cdot \overline{A_0} \cdot \overline{B_1} \cdot \overline{B_0} + A_1 \cdot A_0 \cdot \overline{B_1} \cdot \overline{B_0}$$

$$t_3 = \sum m(1, 2, 3, 6, 7, 11)$$

$A_1 A_0$ $B_1 B_0$	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	1	1	0	1
10	1	1	0	0

	B1, B0			
	00	01	11	10
A_1	0	1	1	1
A_0	0	0	1	1
	00	01	11	10
	0	0	0	0
	0	0	1	0

$$\overline{A_1} \overline{A_0} \overline{B_0} + \overline{A_1} B_0 + \overline{A_1} B_1 + \overline{A_0} B_1 \cdot B_0$$

$$t_3 = \overline{A_1} \cdot B_1 + \overline{A_1} \cdot \overline{A_0} \cdot B_0 + \overline{A_0} \cdot B_1 \cdot B_0$$

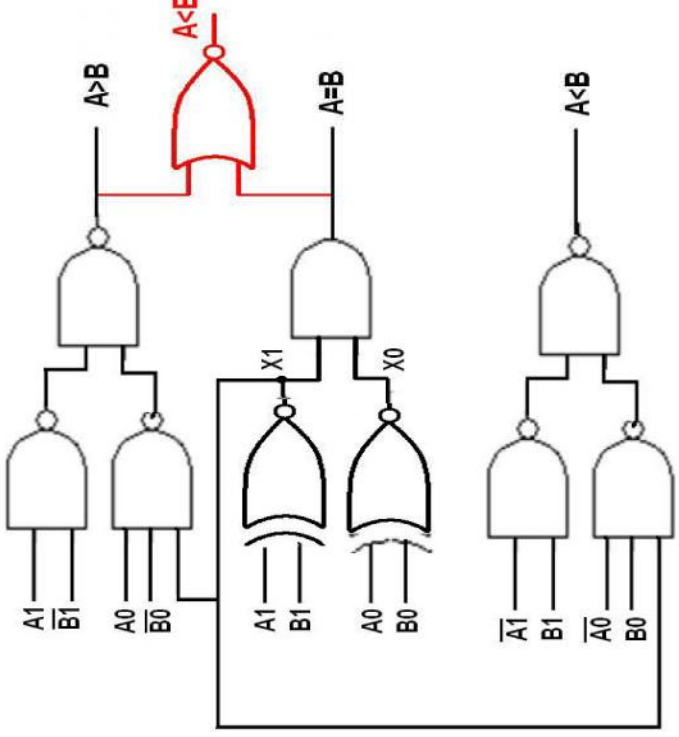
5. Fiziksel gerçeplemede kullanılacak lojik devre elemanları belirlenir.

- Gerçepleme tek tip kapı veya farklı tipte lojik devre elemanları ile yapılacaksa, indirgenmiş çıkış fonksiyonları buna uygun şekilde yeniden düzenlenir.

$$\begin{aligned}
 t_1 &= A_1 \cdot \overline{B_1} + A_0 \cdot \overline{B_0} \cdot \overline{B_1} + A_0 \cdot \overline{B_0} \cdot A_1 = A_1 \cdot \overline{B_1} + A_0 \cdot \overline{B_0} \cdot (\overline{B_1} + A_1) \\
 &= A_1 \cdot \overline{B_1} + A_0 \cdot \overline{B_0} \cdot [\overline{B_1} \cdot (A_1 + \overline{A_1}) + A_1 \cdot (B_1 + \overline{B_1})] \\
 &= A_1 \cdot \overline{B_1} + A_0 \cdot \overline{B_0} \cdot [\overline{B_1} \cdot A_1 + \overline{B_1} \cdot \overline{A_1} + A_1 \cdot B_1 + A_1 \cdot \overline{B_1}] \\
 &= A_1 \cdot \overline{B_1} + A_0 \cdot \overline{B_0} \cdot [\overline{A_1} \oplus \overline{B_1} + A_1 \cdot \overline{B_1}] \quad t_1 = A_1 \cdot \overline{B_1} + A_0 \cdot \overline{B_0} \cdot \overline{A_1} \oplus \overline{B_1} \\
 t_2 &= \overline{A_1} \cdot \overline{A_0} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{A_1} \cdot A_0 \cdot \overline{B_1} \cdot B_0 + A_1 \cdot \overline{A_0} \cdot B_1 \cdot \overline{B_0} + A_1 \cdot A_0 \cdot B_1 \cdot B_0 \\
 &= \overline{A_1} \cdot \overline{B_1} \cdot (\overline{A_0} \cdot \overline{B_0} + A_0 \cdot B_0) + A_1 \cdot B_1 \cdot (\overline{A_0} \cdot \overline{B_0} + A_0 \cdot B_0) \\
 &= (\overline{A_1} \cdot \overline{B_1} + A_1 \cdot B_1) \cdot (\overline{A_0} \cdot \overline{B_0} + A_0 \cdot B_0) \quad t_2 = \overline{A_1} \oplus \overline{B_1} \cdot A_0 \oplus \overline{B_0} \\
 t_3 &= \overline{A_1} \cdot B_1 + \overline{A_1} \cdot \overline{A_0} \cdot B_0 + \overline{A_0} \cdot B_1 \cdot B_0 = \overline{A_1} \cdot B_1 + \overline{A_0} \cdot B_0 \cdot (\overline{A_1} + B_1) \\
 &= \overline{A_1} \cdot B_1 + \overline{A_0} \cdot B_0 \cdot [\overline{A_1} \cdot (B_1 + \overline{B_1}) + B_1 \cdot (A_1 + \overline{A_1})] \\
 &= \overline{A_1} \cdot B_1 + \overline{A_0} \cdot B_0 \cdot [\overline{A_1} \cdot B_1 + \overline{A_1} \cdot \overline{B_1} + B_1 \cdot A_1 + B_1 \cdot \overline{A_1}] \\
 &= \overline{A_1} \cdot B_1 + \overline{A_0} \cdot B_0 \cdot [\overline{A_1} \oplus \overline{B_1} + \overline{A_1} \cdot B_1] \quad t_3 = \overline{A_1} \cdot B_1 + \overline{A_0} \cdot B_0 \cdot \overline{A_1} \oplus \overline{B_1}
 \end{aligned}$$

veya $t_3 = t_1 \cdot t_2 = (t_1 + t_2)$

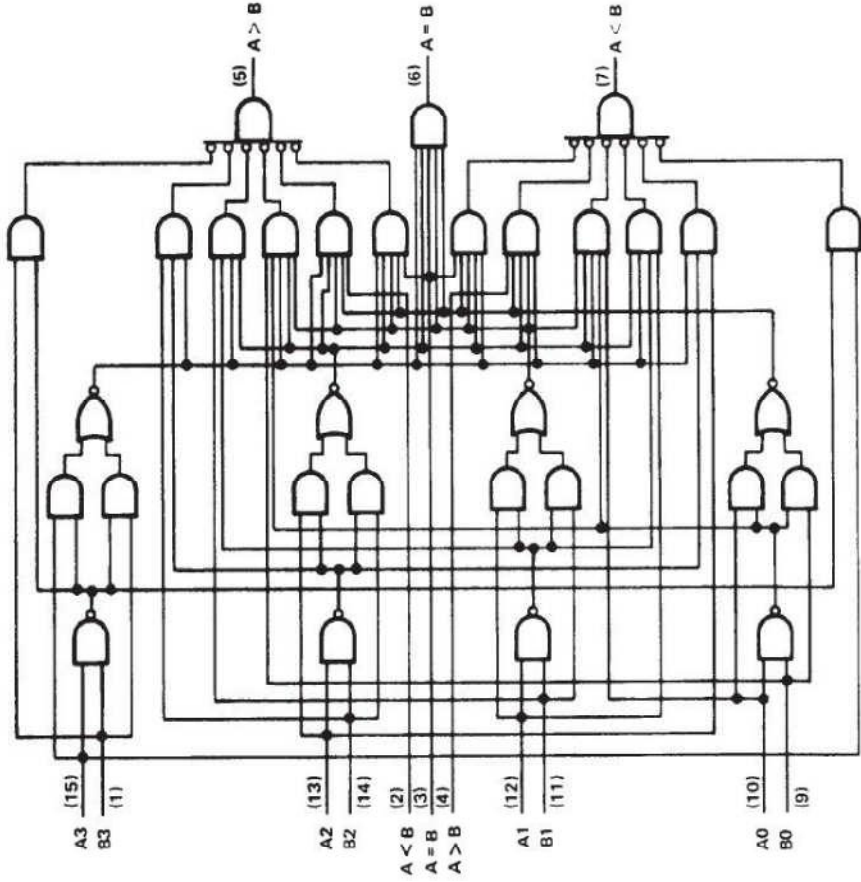
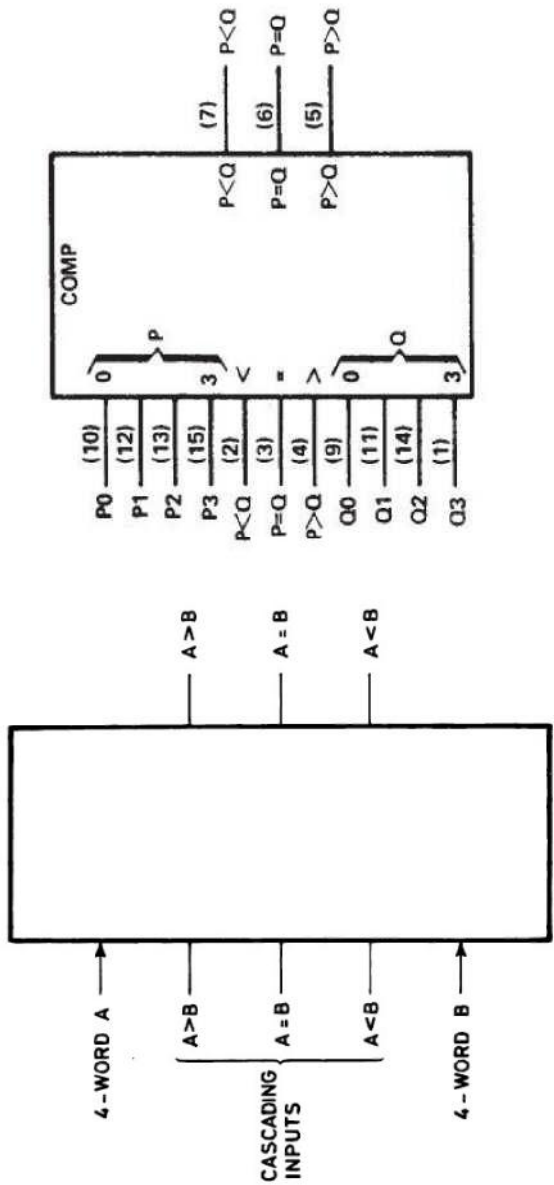
6. Fiziksel gerçeplemede elde edilen sonuç fonksiyonlara ilişkin lojik devre şeması çizilir.



5.2. Kombinezonsal Orta Ölçekli Tümlleşik Lojik Devreler

- Karşılaştırma Devresi
- Aritmetik İşlem Devreleri:
 - Yarım Toplayıcı (Half Adder)
 - Tam Toplayıcı (Full Adder)
 - Yarım Çıkarcı
 - Tam Çıkarcı
 - Toplama ve Çıkarma Devresi
 - BCD Toplama Devresi
- Kod Çözücüler/Kodlayıcılar (Decoder/Encoder)
- 7-Parça Gösterge Kod Çözücü Devre (7-Segment Display Decoder)
- Çoğullayıcı, Seçici (Multiplexer, MUX)
- Dağıtıcı (Demultiplexer, DEMUX)
- Aritmetik Lojik Birim (ALU)

5.2.1. Karşılaştırma Devresi

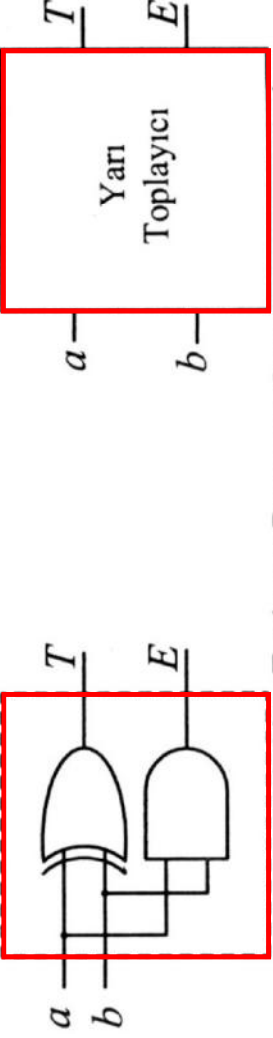


5.2.2. Aritmetik İşlem devreleri

- İkili Toplayıcı (Binary Adder) :

Tablo-7.4. Yarı Toplayıcıya ilişkin Doğruluk Tablosu.

a	b	Toplam T	Elde E
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



Şekil-7.6. Yarı Toplayıcı Devre ve Sembolik Gösterilimi

Tablo-7.5. Tam Toplayıcıya ilişkin Doğruluk Tablosu.

E_g	a	b	Toplam T	Elde E
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

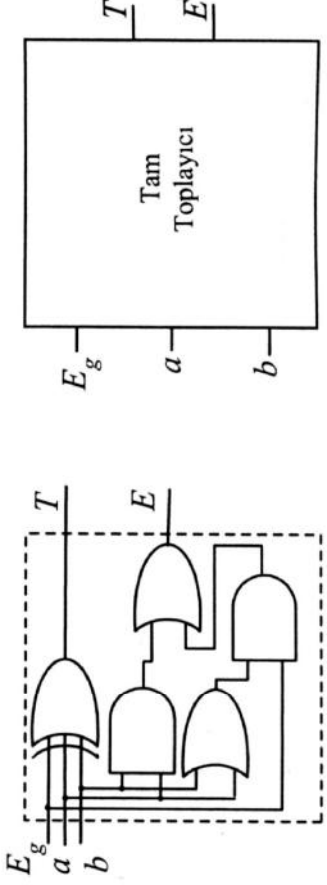
E_g	ab	00	01	11	10
0	0	0	1	0	1
1	1	0	0	1	0

E_g	ab	00	01	11	10
0	0	0	0	1	0
1	0	0	1	1	1

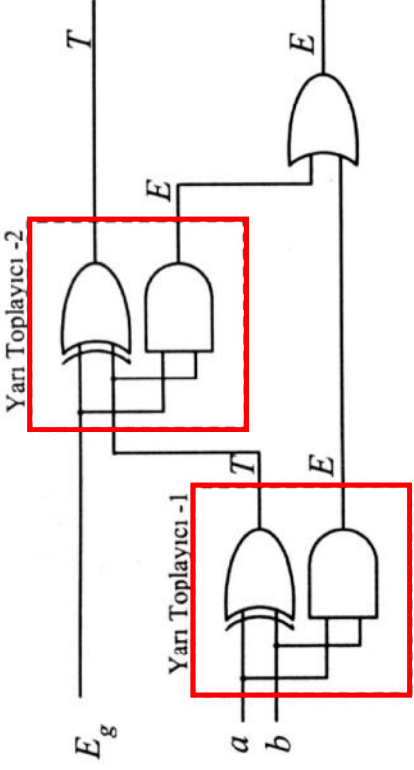
$$T = E_g \oplus a \oplus b$$

$$E = a \cdot b + E_g \cdot b + E_g \cdot a$$

$$E = a \cdot b + E_g \cdot (a+b)$$

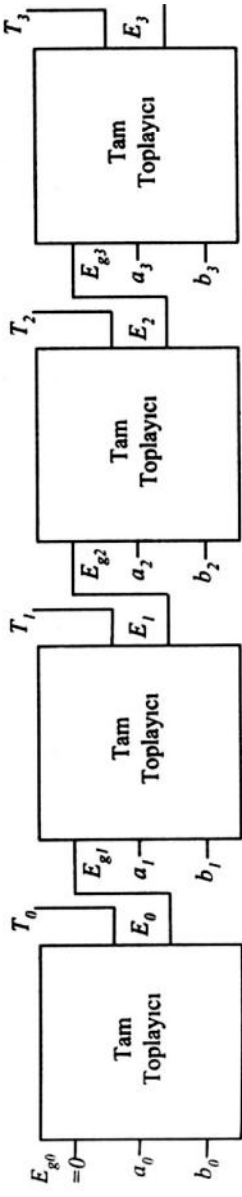


Şekil-7.7.7. Tam Toplayıcı Devre ve Sembolik Gösterilimi

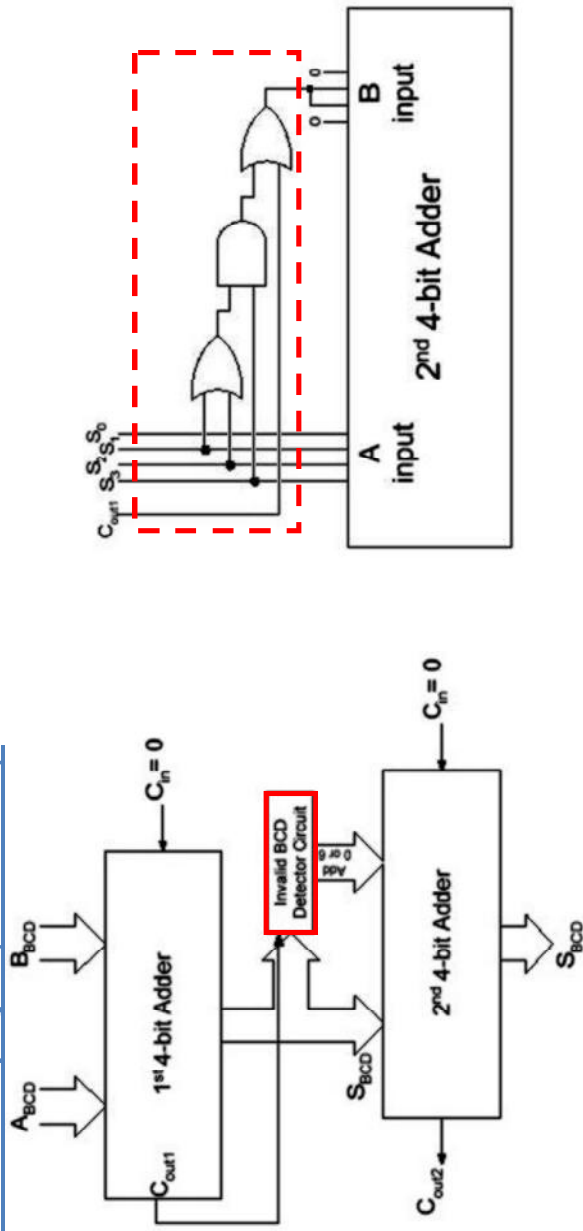


Şekil-7.8. Yarı Toplayıcılarla gerçekleştirilen Tam Toplayıcı Devre

• 4-Bit Paralel Tam Toplayıcı (Full Adder):



Ondalık Toplayıcı (BCD Adder):



Çıkarma Devreleri

Tablo-7.6. Yarı Çıkarıcıya ilişkin Doğruluk Tablosu.

a	b	Fark F	Borç B
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

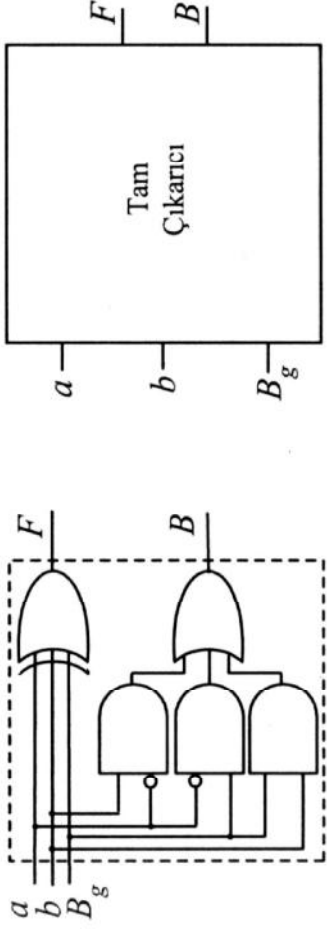
Şekil-7.9. Yarı Çıkarıcı Devre ve Sembolik Gösterilimi

Tablo-7.7. Tam Çıkarıcıya ilişkin Doğruluk Tablosu.

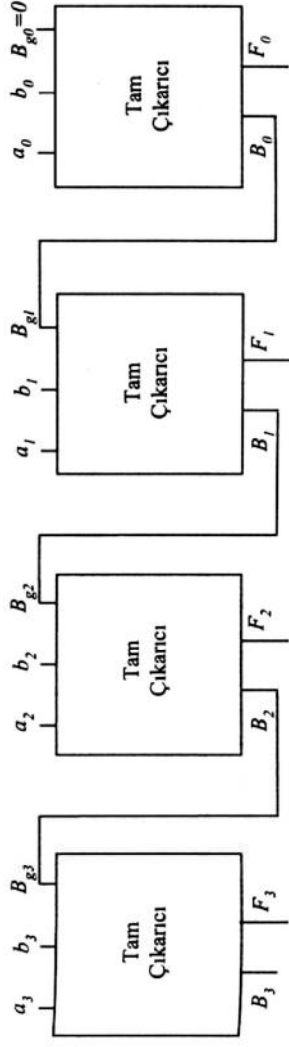
a	b	B_g	Fark F	Borç B
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

$F = a \oplus b \oplus B_g$

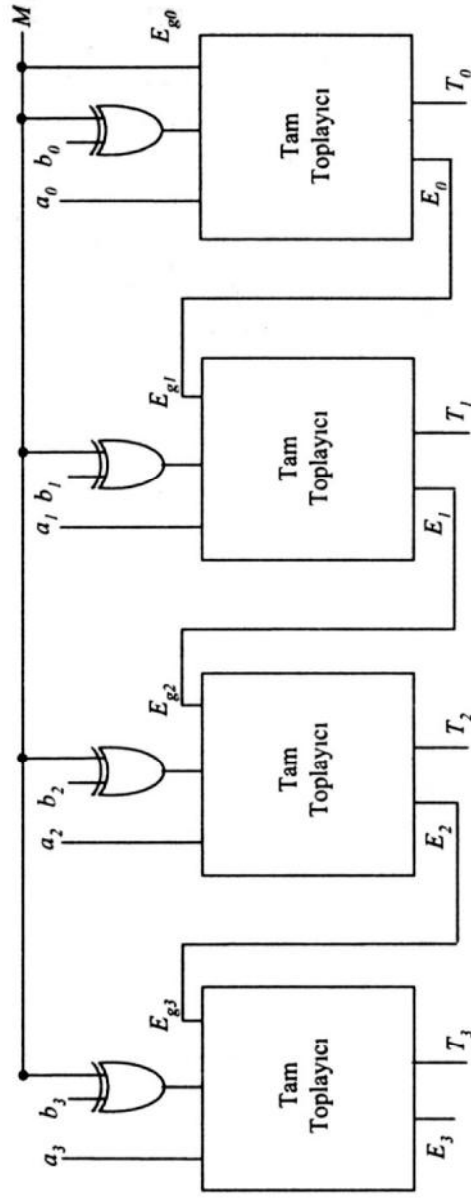
$B = \bar{a} \cdot b + a \cdot B_g$



Şekil-7.10. Tam Çıkarıcı Devre ve Sembolik Gösterilimi



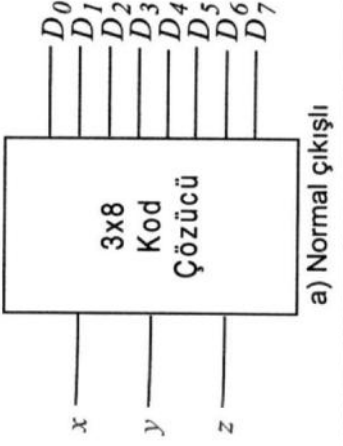
Toplayıcı/Çıkarıcı Devre


$$M = 1 \text{ ise, } 1 \oplus b_0 = 1 \cdot \bar{b}_0 + 0 \cdot b_0 = \bar{b}_0 \text{ olur.}$$

$E_{g0} = 1$ ise, $\bar{b} + 1$ olur ve b sayısının 2'ye tümleyeni elde edilir.

5.2.3. Kod Çözücüler, Kodlayıcılar (Decoders, Encoders)

Kod Çözücüler



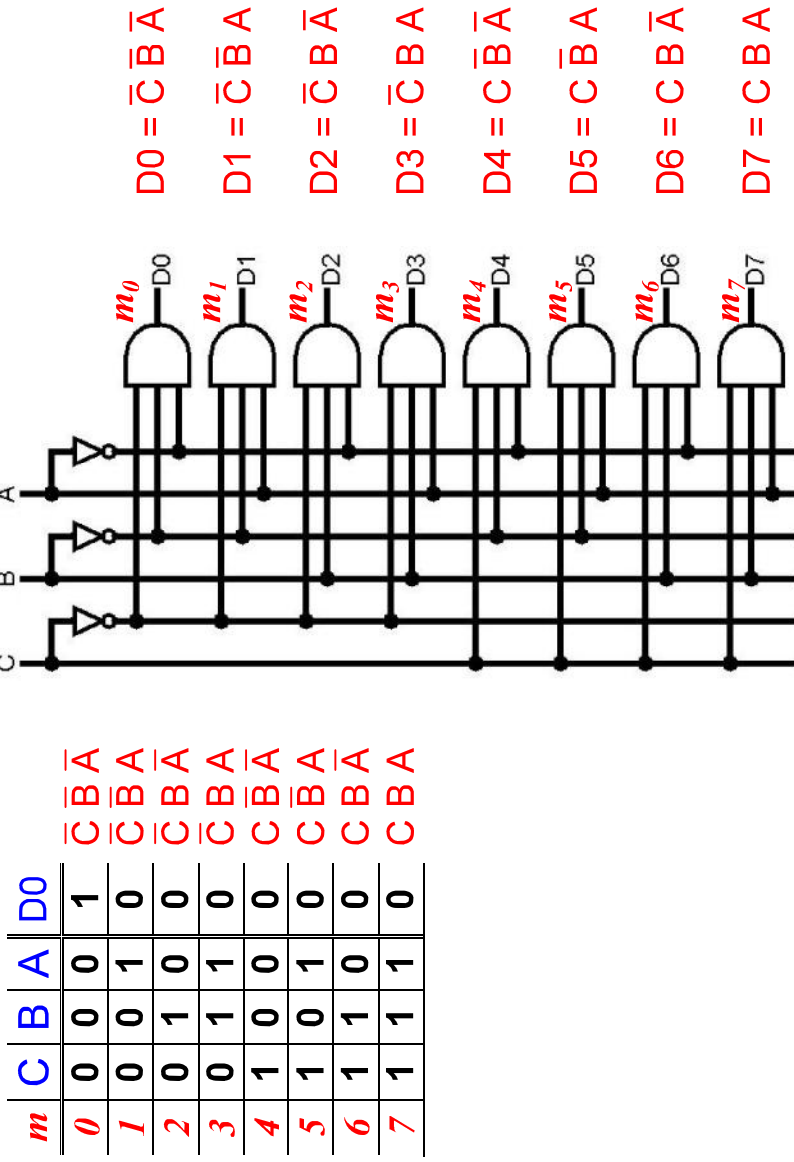
a) Normal çıkışlı

Girişler				Çıkışlar							
x	y	z		D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
0	0	0		1	0	0	0	0	0	0	0
0	0	1		0	1	0	0	0	0	0	0
0	1	0		0	0	1	0	0	0	0	0
0	1	1		0	0	0	1	0	0	0	0
1	0	0		0	0	0	0	1	0	0	0
1	0	1		0	0	0	0	0	1	0	0
1	1	0		0	0	0	0	0	0	1	0
1	1	1		0	0	0	0	0	0	0	1

5. Kombinezonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

, Y.Doç.Dr. Tuncay UZUN

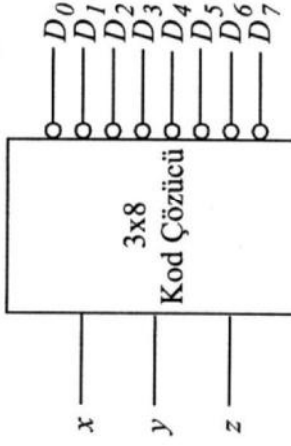
5-23



5. Kombinezonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

, Y.Doç.Dr. Tuncay UZUN

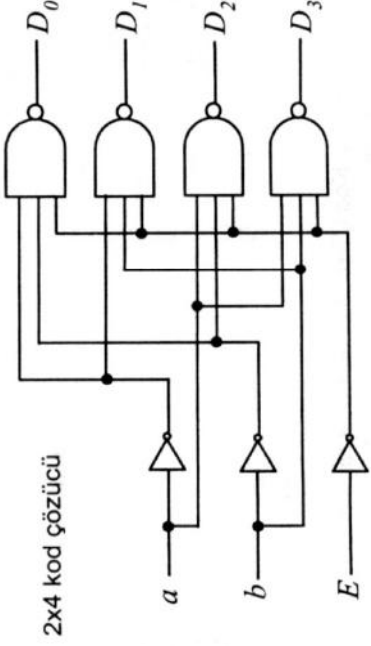
5-24



b) Tümleyen çıkışlı

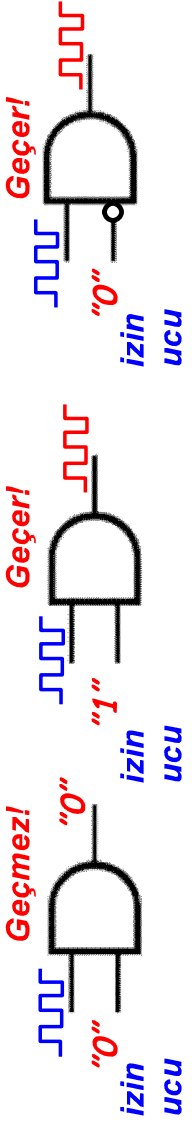
Tablo-7.10. Tümleyen Çıkışlı Kod Çözücüye ilişkin Doğruluk Tablosu

Girişler				Çıkışlar (Tümleyen)							
x	y	z		D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇
0	0	0		0	1	1	1	1	1	1	1
0	0	1		1	0	1	1	1	1	1	1
0	1	0		1	1	0	1	1	1	1	1
0	1	1		1	1	1	0	1	1	1	1
1	0	0		1	1	1	1	0	1	1	1
1	0	1		1	1	1	1	1	0	1	1
1	1	0		1	1	1	1	1	1	0	1
1	1	1		1	1	1	1	1	1	1	0

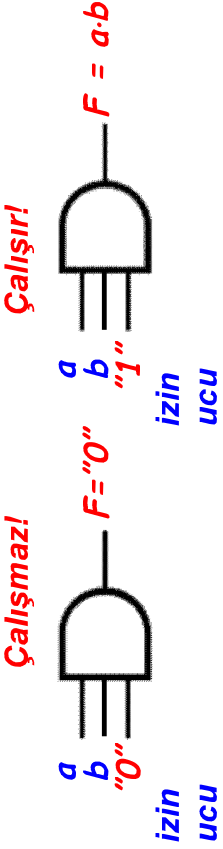


Girişler			Çıkışlar (Tümleyen)			
E	a	b	D ₀	D ₁	D ₂	D ₃
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0
1	0	0	1	1	1	1
1	0	1	1	1	1	1
1	1	0	1	1	1	1
1	1	1	1	1	1	1

Çıkış izin kontrolü (Output Enable, OE)



Çıkışa izin yok!
Çıkışa izin var!
OE ucu Aktif "1"
OE ucu Aktif "0"



2 girişli VE kapısı
olarak çalışmaya
izin yok!

izin var!

5. Kombinezonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

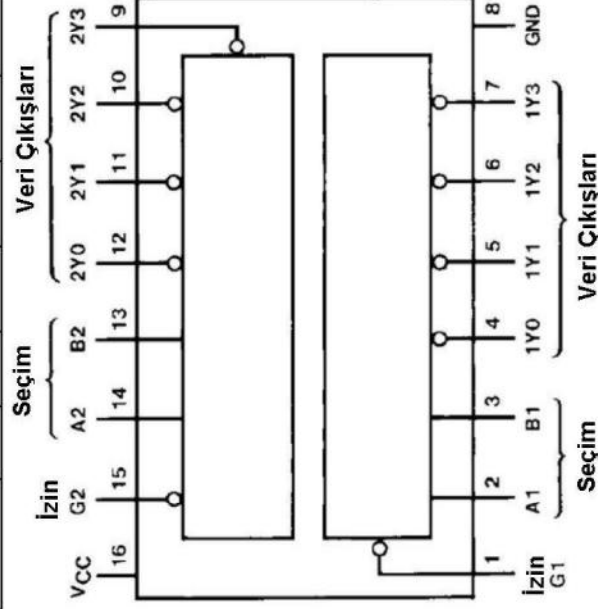
, Y.Doç.Dr. Tuncay UZUN

5-27

74LS139 Çift 2'den 4'e İzin denetimli Kod Çözücü:

L = Düşük Lojik Seviye
H = Yüksek Lojik Seviye
X = Önemsiz (L veya H)

Girişler		Çıkışlar			
İzin	Seçim				
G	B A	Y0	Y1	Y2	Y3
H	X	H	H	H	H
L	L	L	H	H	H
L	L	H	L	H	H
L	H	H	H	L	H
L	H	H	H	H	L



5. Kombinezonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

, Y.Doç.Dr. Tuncay UZUN

5-28

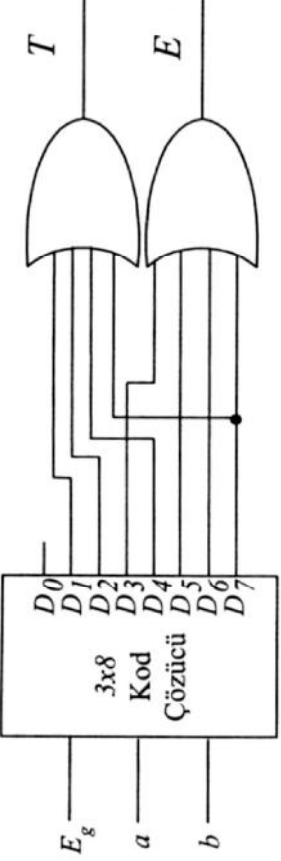
Örnek 7.10.

Daha önce lojik kapılar kullanılarak tasarlanan Tam Toplayıcının kod çözücü devre kullanarak gerçekleştiriniz.

Tam toplayıcıya ilişkin doğruluk tablosundan yararlanılarak Toplam ve Elde çıkılarına ilişkin fonksiyonlar: $T(Eg, a, b) = \sum m(1, 2, 4, 7)$, $E(Eg, a, b) = \sum m(3, 5, 6, 7)$

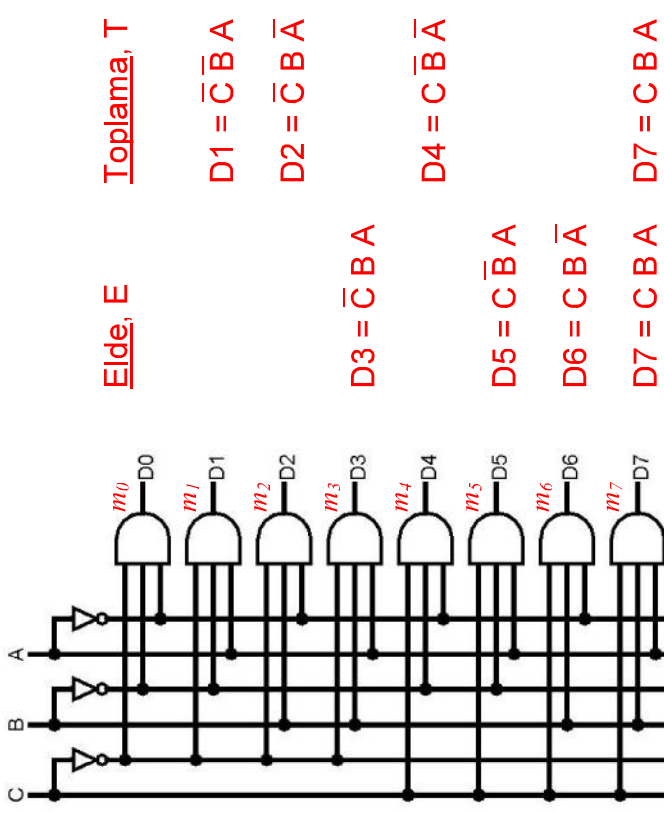
Şeklinde yazılabilir.

Bu durumda toplam ve elde çıkışları, 1 tane 3x8 kod çözücü, 2 tane VEYA kapısı kullanarak gerçekleştirilebilir.



Şekil-7.21. 3x8 Kod Çözücü ile tasarlanmış Tam Toplayıcı Devre

m	Eg	a	b	C	B	A	E	T
0	0	0	0	0	0	0	0	0
1	0	0	1	0	1	0	1	1
2	0	1	0	0	0	1	0	1
3	0	1	1	1	1	0	1	0
4	1	0	0	0	1	0	0	1
5	1	0	1	1	0	1	1	0
6	1	1	0	1	0	1	0	0
7	1	1	1	1	1	1	1	1



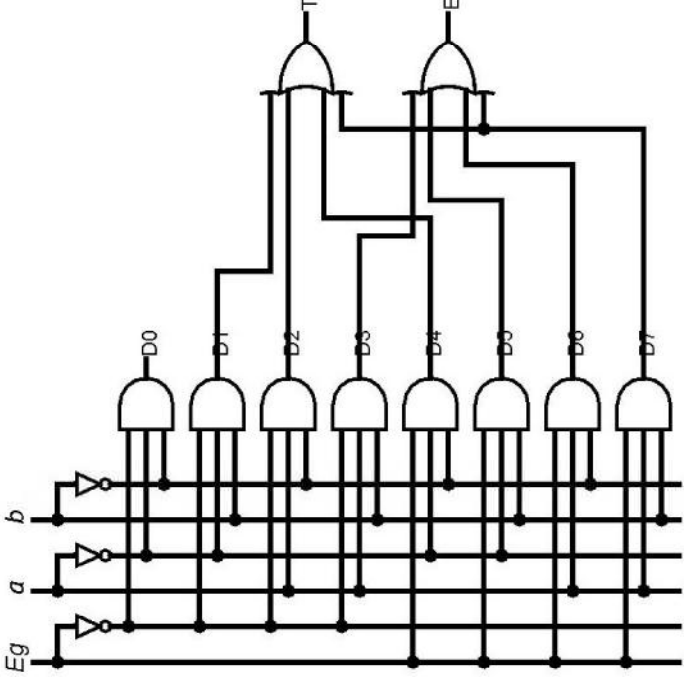
Elde, E Toplama, T

$D1 = \bar{C} \bar{B} A$ $D2 = \bar{C} B \bar{A}$

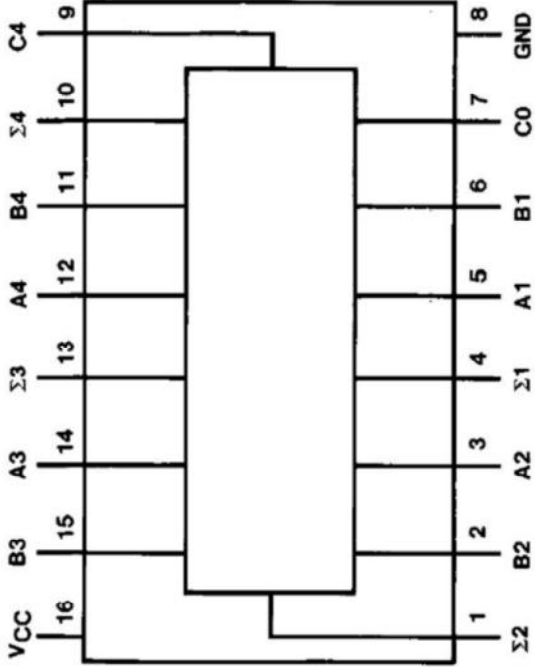
$D3 = \bar{C} B A$ $D4 = C \bar{B} \bar{A}$

$D5 = C \bar{B} A$ $D6 = C B \bar{A}$

$D7 = C B A$ $D7 = C B A$



Tümleşik Tam Toplayıcı



74LS283 4-bit tam toplayıcı uç tanımları

Uç adı	Açıklama
C0	Elde girişi
A4 A3 A2 A1	4-Bit A sayısı için veri girişleri
B4 B3 B2 B1	4-Bit B sayısı için veri girişleri
Σ4 Σ3 Σ2 Σ1	4-Bit Toplama sonuç çıkışları
C4	Elde çıkışı

4-bit Tam Toplayıcı, $\Sigma = A+B$

74LS283 4-bit tam toplayıcının çalışma tablosu.

Girişler				Çıkışlar			
				C0 = L için		C2 = L için	
A1	B1	A2	B2	Σ1	Σ2	C2	Σ3
A3	B3	A4	B4	Σ3	Σ4	C4	Σ4
L	L	L	L	L	L	L	L
H	L	L	L	H	L	L	L
L	H	L	L	L	L	L	L
H	H	L	L	L	H	L	L
L	L	H	L	L	L	L	L
H	L	H	L	L	H	L	L
L	H	H	L	L	L	L	L
H	H	H	L	L	H	L	L
L	L	L	H	L	L	L	L
H	L	L	H	L	L	L	L
L	H	L	H	L	L	L	L
H	H	L	H	L	L	L	L
L	L	H	H	L	L	L	L
H	L	H	H	L	L	L	L
L	H	H	H	L	L	L	L
H	H	H	H	L	L	L	L

Not : Tabloda Σ1 Σ2 çıkışları A1 B1 A2 B2 ve C0 girişleri kullanılarak belirlenen ilk 2-bit toplama sonucu ve C2 iç eldedir. Σ3 Σ4 çıkışları A3 B3 A4 B4 girişleri ve C2 kullanılarak belirlenen son 2-bit toplama sonucu ve C4 elde çıkışıdır.

Bu tam toplayıcının çıkışlarının bir ifadesi aşağıda verilen şekilde gösterilebilir.

$$\text{Toplam} = 8(A4+B4) + 4(A3+B3) + 2(A2+B2) + (A1+B1) + C0$$

$$\text{Toplam} = 16 C4 + 8 \Sigma4 + 4 \Sigma3 + 2 \Sigma2 + \Sigma1$$

Çalışma tablosunun açıklaması için bir örnek uygulama:

Girişler : “ A4 A3 A2 A1 ” = “ H L H L ”

“ B4 B3 B2 B1 ” = “ H L L H ”

“ C0 ” = “ L ”

Çıkışlar : “C4 Σ4 Σ3 Σ2 Σ1 ” = “ H L L H H ”

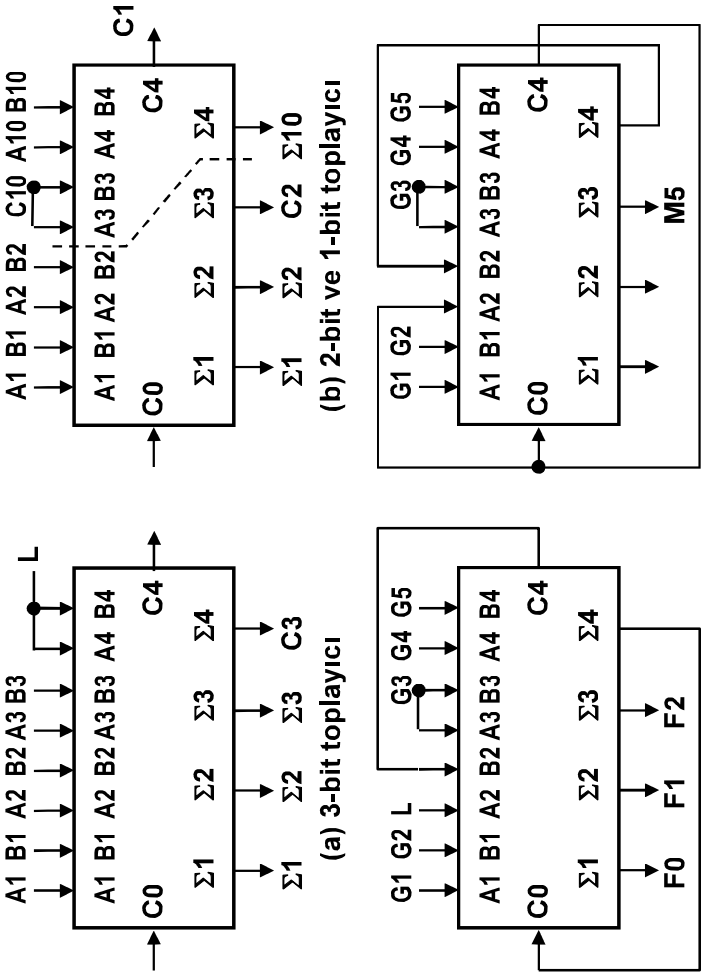
Aktif “1” Giriş / Çıkış (H=“1”, L=“0”) için

$$\text{Elde “0”} + 10 + 9 = 19$$

Aktif “0” Giriş / Çıkış (H=“0”, L=“1”) için

$$\text{Elde “1”} + 5 + 6 = 12$$

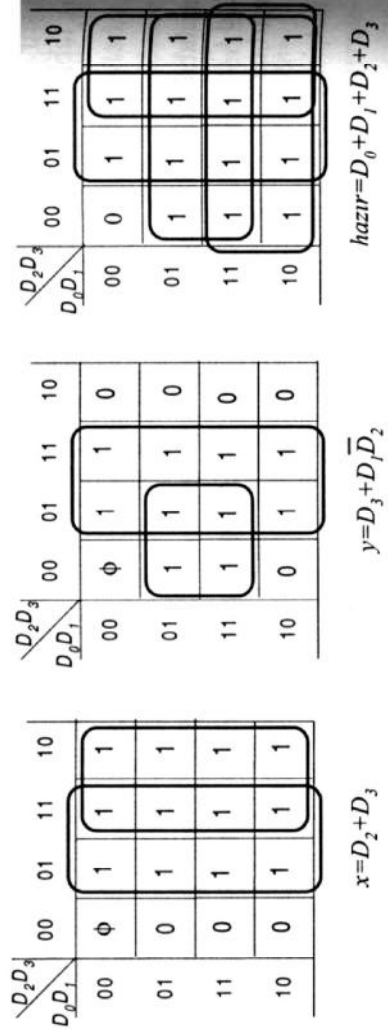
Toplayıcı tümleşik devreleriyle, ek bağlantılar ve devreler kullanılarak değişik boyut ve kodlama için toplama, çıkarma, kodlayıcı, çoğunluk kapısı tasarımları gerçekleştirilebilir.

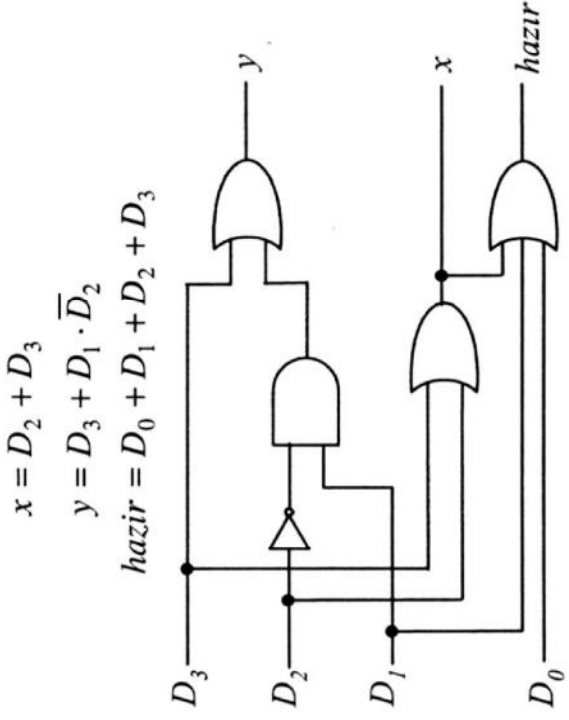


Şekil 5-1 Tümleşik tam toplayıcı uygulama devreleri

Kodlayıcılar

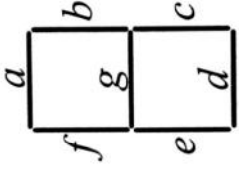
Girişler				Çıkışlar		
D_3	D_2	D_1	D_0	x	y	$hazır$
0	0	0	0	ϕ	ϕ	0
0	0	0	1	0	0	1
0	0	1	ϕ	0	1	1
0	1	ϕ	ϕ	1	0	1
1	ϕ	ϕ	ϕ	1	1	1



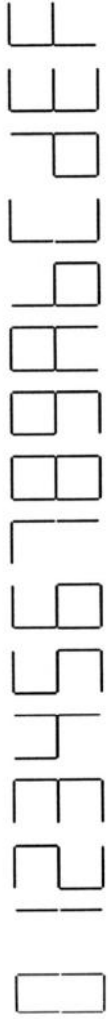


5.2.4. 7-Parçalı Gösterge Kod Çözücü Devreler

7-Parça Gösterge Kod Çözücü Devre (7-Segment Display Decoder)

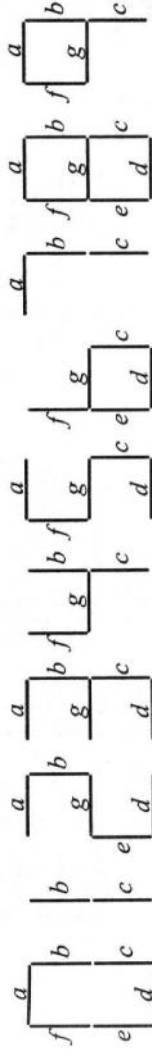


Şekil-7.22. 7-Parçalı Gösterge

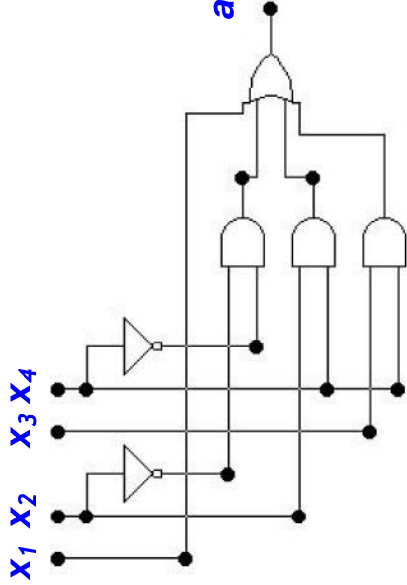
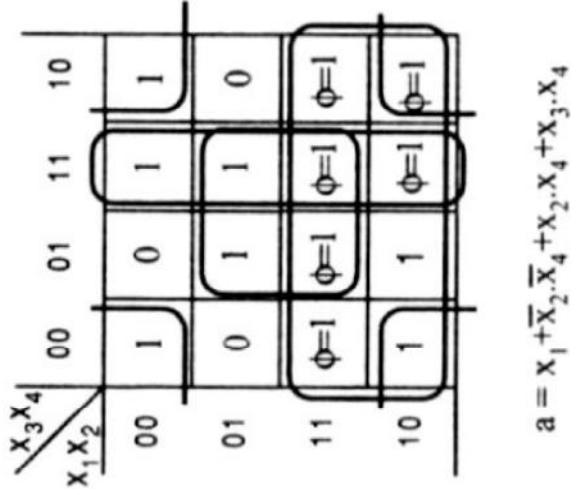


Şekil-7.23. 7-Parçalı Gösterge ile Oluşturulabilecek Kombinasyonlar

Örnek: BCD kodundan 7-parça gösterge koduna dönüştüren lojik devre.



Girişler					Çıkışlar						
x_1	x_2	x_3	x_4		a	b	c	d	e	f	g
0	0	0	0		1	1	1	1	1	1	0
0	0	0	1		0	1	1	0	0	0	0
0	0	1	0		1	1	0	1	1	0	1
0	0	1	1		1	1	1	1	0	0	1
0	1	0	0		0	1	1	0	0	1	1
0	1	0	1		1	0	1	1	0	1	1
0	1	1	0		0	0	1	1	1	1	1
0	1	1	1		1	1	1	0	0	0	0
1	0	0	0		1	1	1	1	1	1	1
1	0	0	1		1	1	1	0	0	1	1
1	0	1	0		ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ
1	0	1	1		ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ
1	1	0	0		ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ
1	1	0	1		ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ
1	1	1	0		ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ
1	1	1	1		ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ



X_3X_4 X_1X_2	00	01	11	10
00	1	1	1	1
01	1	0	1	0
11	$\Phi=1$	$\Phi=0$	$\Phi=1$	$\Phi=0$
10	1	1	$\Phi=1$	$\Phi=1$

$$b = \overline{X}_2 \cdot X_3 \cdot X_4 + \overline{X}_3 \cdot \overline{X}_4$$

X_3X_4 X_1X_2	00	01	11	10
00	1	1	1	0
01	1	1	1	1
11	$\Phi=1$	$\Phi=1$	$\Phi=1$	$\Phi=1$
10	1	1	$\Phi=1$	$\Phi=0$

$$c = \overline{X}_3 + X_4 + X_2$$

X_3X_4 X_1X_2	00	01	11	10
00	1	0	1	1
01	0	1	0	1
11	$\Phi=0$	$\Phi=1$	$\Phi=0$	$\Phi=1$
10	1	0	$\Phi=1$	$\Phi=1$

$$d = \overline{X}_2 \cdot \overline{X}_4 + X_2 \cdot \overline{X}_3 \cdot X_4 + X_3 \cdot \overline{X}_4 + \overline{X}_2 \cdot X_3$$

X_3X_4 X_1X_2	00	01	11	10
00	1	0	0	1
01	0	0	0	1
11	$\Phi=0$	$\Phi=0$	$\Phi=0$	$\Phi=1$
10	1	0	$\Phi=0$	$\Phi=1$

$$e = \overline{X}_2 \cdot \overline{X}_4 + X_3 \cdot \overline{X}_4$$

X_3X_4 X_1X_2	00	01	11	10
00	1	0	0	0
01	1	1	0	1
11	$\Phi=1$	$\Phi=1$	$\Phi=1$	$\Phi=1$
10	1	1	$\Phi=1$	$\Phi=1$

$$f = X_1 + \overline{X}_3 \cdot \overline{X}_4 + X_2 \cdot \overline{X}_4 + X_2 \cdot \overline{X}_3$$

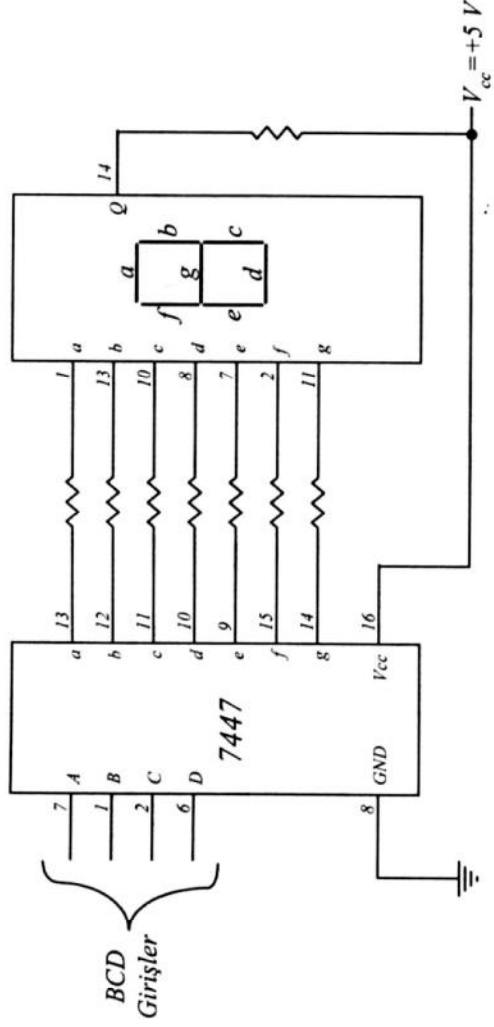
X_3X_4 X_1X_2	00	01	11	10
00	0	0	1	1
01	1	1	0	1
11	$\Phi=1$	$\Phi=1$	$\Phi=1$	$\Phi=1$
10	1	1	$\Phi=1$	$\Phi=1$

$$g = X_1 + X_3 \cdot \overline{X}_4 + X_2 \cdot \overline{X}_3 + \overline{X}_2 \cdot X_3$$

5. Kombinezonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

, Y.Doç.Dr.Tuncay UZUN

5-41



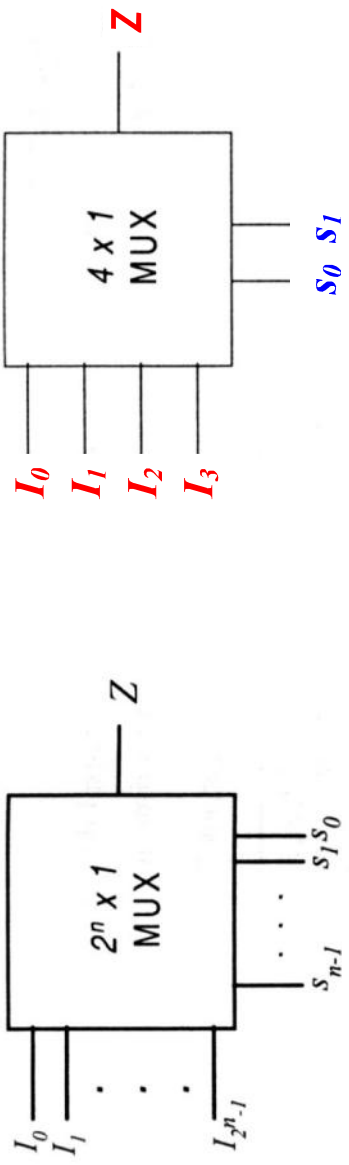
5. Kombinezonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

, Y.Doç.Dr.Tuncay UZUN

5-42

5.2.5. Çoğullayıcı /Seçici / Dağıtıcı Devreler (Multiplexer, Demultiplexer)

Çoğullayıcı / Seçici (Multiplexer, MUX)



Şekil-7.11. a)Seçici'ye ilişkin Lojik Devre Şeması

b) 4x1 MUX örneği

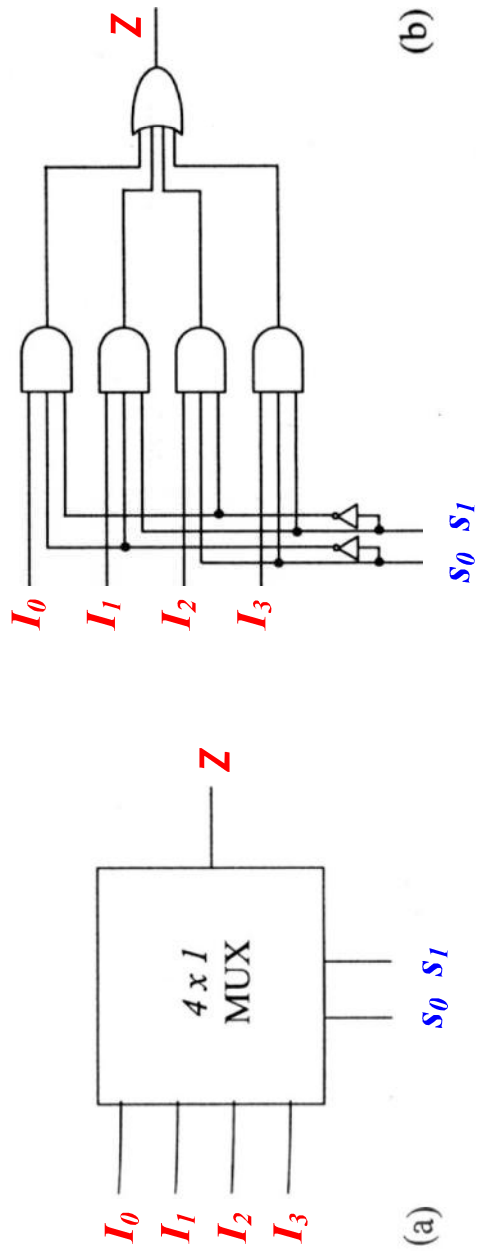
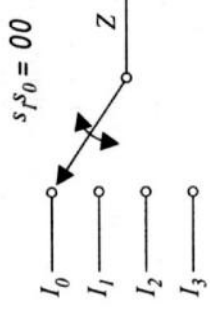
$$Z = m_0 \cdot I_0 + m_1 \cdot I_1 + \dots + m_{2^n-1} \cdot I_{2^n-1}$$

eğer $s_1 s_0 = 00 \Rightarrow$ birinci giriş çıkışa verilir,

eğer $s_1 s_0 = 01 \Rightarrow$ ikinci giriş çıkışa verilir,

eğer $s_1 s_0 = 10 \Rightarrow$ üçüncü giriş çıkışa verilir,

eğer $s_1 s_0 = 11 \Rightarrow$ dördüncü giriş çıkışa



Şekil-7.12.a) $n=2$ olan Seçiciye ilişkin simgesel gösterilim,

b) Lojik kapılarla seçici iç yapısı

b) Lojik kapılarla seçici iç yapısı

Örnek 7.7.

Doğruluk tablosu aşağıda verilen kombinezonsal devreyi, x_3 ve x_4 seçme girişleri olacak şekilde 4x1 çoğullayıcı (MUX) birimi kullanarak gerçekleyiniz.

girişler		seçme girişleri		$f(x_1, x_2, x_3, x_4)$
x_1	x_2	x_3	x_4	
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

İlk olarak doğruluk tablosundan lojik fonksiyonun minimum terimler Kanonik biçimi yazılır.

$$f(x_1, x_2, x_3, x_4) = \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 \cdot x_4 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 \cdot x_4 + \bar{x}_1 \cdot x_2 \cdot x_3 \cdot x_4 +$$

$$x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \cdot \bar{x}_4 + x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \cdot x_4 + x_1 \cdot \bar{x}_2 \cdot x_3 \cdot \bar{x}_4 + x_1 \cdot \bar{x}_2 \cdot x_3 \cdot x_4$$

Sonra ifade, x_3 ve x_4 seçme girişleri cinsinden ortak çarpan parantezine alınır.

$$f(x_1, x_2, x_3, x_4) = \bar{x}_3 \cdot \bar{x}_4 \cdot (x_1 \cdot \bar{x}_2) + \bar{x}_3 \cdot x_4 \cdot (\bar{x}_1 \cdot x_2 + x_1 \cdot \bar{x}_2) + x_3 \cdot \bar{x}_4 \cdot (\bar{x}_1 \cdot \bar{x}_2 + x_1 \cdot \bar{x}_2) +$$

$$x_3 \cdot x_4 \cdot (\bar{x}_1 \cdot \bar{x}_2 + x_1 \cdot x_2)$$

Son olarak, ortak paranteze alınan terimler sadeleştirilir.

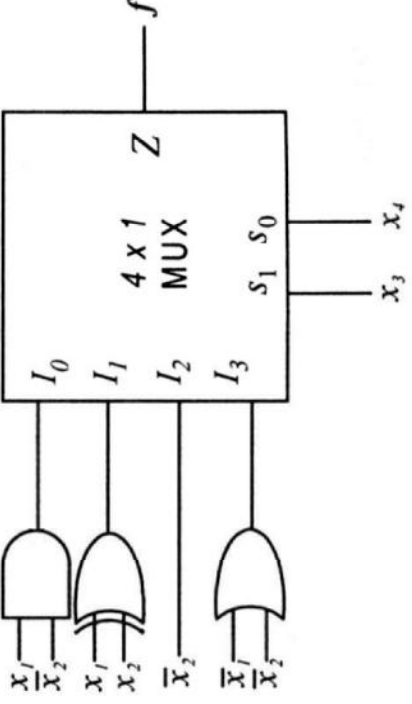
$$f(x_1, x_2, x_3, x_4) = \bar{x}_3 \cdot \bar{x}_4 \cdot (x_1 \cdot \bar{x}_2) + \bar{x}_3 \cdot x_4 \cdot (\bar{x}_1 \cdot x_2 + x_1 \cdot \bar{x}_2) + x_3 \cdot \bar{x}_4 \cdot (\bar{x}_2 \cdot (\bar{x}_1 + x_1)) +$$

$$x_3 \cdot x_4 \cdot (\bar{x}_1 \cdot (\bar{x}_2 + x_2) + x_1 \cdot \bar{x}_2)$$

$$f(x_1, x_2, x_3, x_4) = \bar{x}_3 \cdot \bar{x}_4 \cdot (x_1 \cdot \bar{x}_2) + \bar{x}_3 \cdot x_4 \cdot (\bar{x}_1 \cdot x_2 + x_1 \cdot \bar{x}_2) + x_3 \cdot \bar{x}_4 \cdot (\bar{x}_2) +$$

$$x_3 \cdot x_4 \cdot (\bar{x}_1 + \bar{x}_2)$$

x_3	x_4	Z
0	0	$\bar{x}_1 \cdot \bar{x}_2$
0	1	$x_1 \oplus x_2$
1	0	$\bar{x}_2$
1	1	$\bar{x}_1 + \bar{x}_2$



Örnek 7.8.

Örnek 7.7 'de, doğruluk tablosu verilen kombinezonsal devreyi, x_1 ve x_2 seçme girişleri olacak şekilde 4x1 çoğullayıcı (MUX) birimi kullanarak gerçekleyiniz.

Doğruluk tablosundan lojik fonksiyonun minimum terimler Kanonik biçimi yazılır.

$$\begin{aligned}
 f(x_1, x_2, x_3, x_4) &= \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 \cdot x_4 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 \cdot x_4 \\
 &+ \bar{x}_1 \cdot x_2 \cdot x_3 \cdot x_4 + x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \cdot \bar{x}_4 + x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \cdot x_4 \\
 &+ x_1 \cdot \bar{x}_2 \cdot x_3 \cdot \bar{x}_4 + x_1 \cdot \bar{x}_2 \cdot x_3 \cdot x_4
 \end{aligned}$$

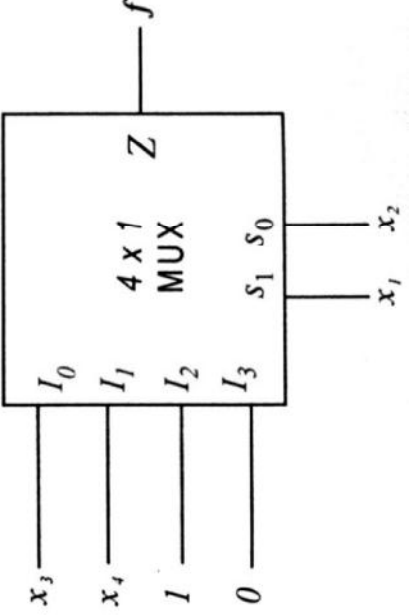
Sonra ifade, x_1 ve x_2 seçme girişleri cinsinden ortak çarpan parantezine alınır ve ortak paranteze alınan terimler sadeleştirilir.

$$\begin{aligned}
 f(x_1, x_2, x_3, x_4) &= \bar{x}_1 \cdot \bar{x}_2 \cdot (x_3 \cdot \bar{x}_4 + x_3 \cdot x_4) + \bar{x}_1 \cdot x_2 \cdot (\bar{x}_3 \cdot x_4 + x_3 \cdot x_4) \\
 &+ x_1 \cdot \bar{x}_2 \cdot (\bar{x}_3 \cdot \bar{x}_4 + \bar{x}_3 \cdot x_4 + x_3 \cdot \bar{x}_4 + x_3 \cdot x_4) + x_1 \cdot x_2 \cdot (0) \\
 f(x_1, x_2, x_3, x_4) &= \bar{x}_1 \cdot \bar{x}_2 \cdot (x_3 \cdot (\bar{x}_4 + x_4)) + \bar{x}_1 \cdot x_2 \cdot (x_4 \cdot (\bar{x}_3 + x_3)) \\
 &+ x_1 \cdot \bar{x}_2 \cdot (\bar{x}_3 \cdot (\bar{x}_4 + x_4) + x_3 \cdot (\bar{x}_4 + x_4)) + x_1 \cdot x_2 \cdot (0)
 \end{aligned}$$

$$f(x_1, x_2, x_3, x_4) = \bar{x}_1 \cdot \bar{x}_2 \cdot (x_3) + \bar{x}_1 \cdot x_2 \cdot (x_4) + x_1 \cdot \bar{x}_2 \cdot (\bar{x}_3 + x_3) + x_1 \cdot x_2 \cdot (0)$$

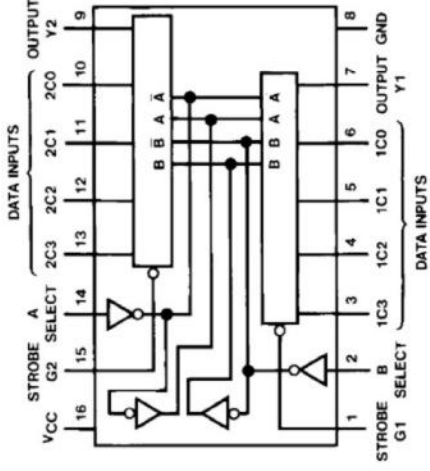
$$f(x_1, x_2, x_3, x_4) = \bar{x}_1 \cdot \bar{x}_2 \cdot (x_3) + \bar{x}_1 \cdot x_2 \cdot (x_4) + x_1 \cdot \bar{x}_2 \cdot (1) + x_1 \cdot x_2 \cdot (0)$$

x_1	x_2	Z
0	0	x_3
0	1	x_4
1	0	1
1	1	0



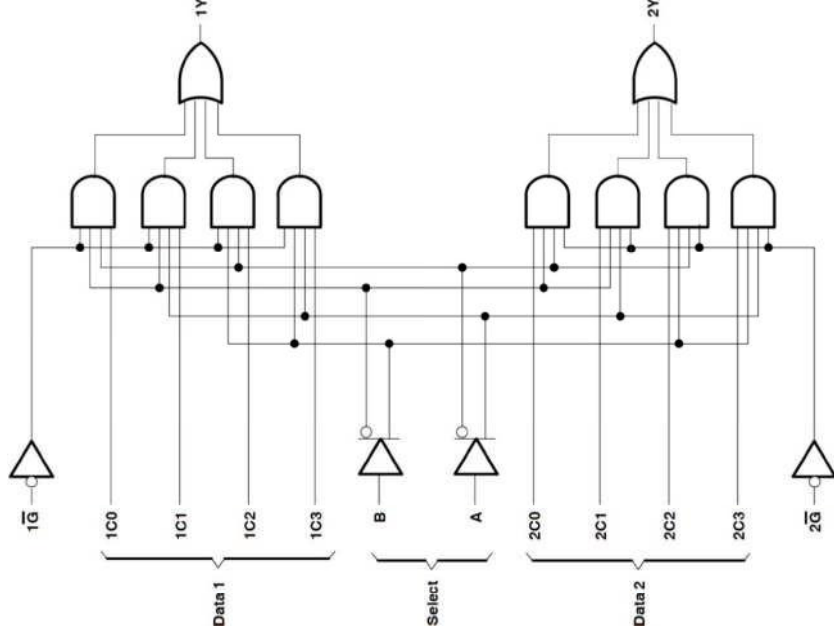
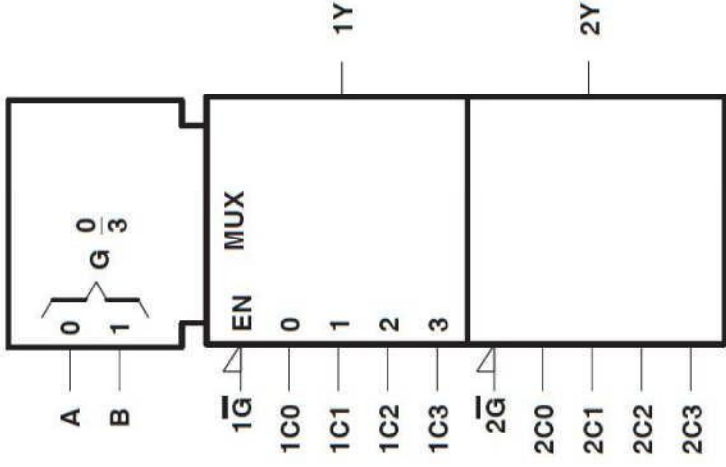
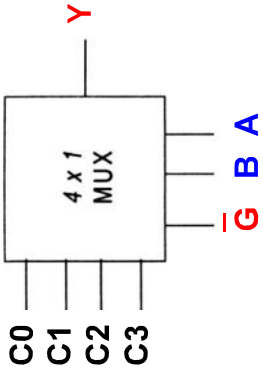
Veri Seçici / Çoğullayıcı (Multiplexer, MUX)

74153 İzin denetimli Çift 4x1 Veri Seçici / Çoğullayıcı (MUX)

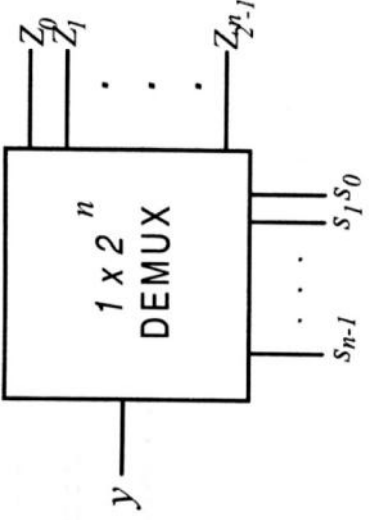


SELECT		INPUTS						STROBE $\overline{G}$	OUTPUT Y
		B	A	C0	C1	C2	C3		
X	X	X	X	X	X	X	X	H	L
L	L	L	L	L	L	L	L	L	L
L	L	L	L	H	X	X	X	L	H
L	L	L	H	X	L	X	X	L	L
L	H	H	X	X	H	X	X	L	H
L	H	H	L	X	X	L	X	L	L
H	H	L	L	X	X	H	X	L	H
H	H	H	X	X	X	X	L	L	L
H	H	H	H	X	X	X	H	L	H

A ve B seçim uçları iki kısım için ortaktır.



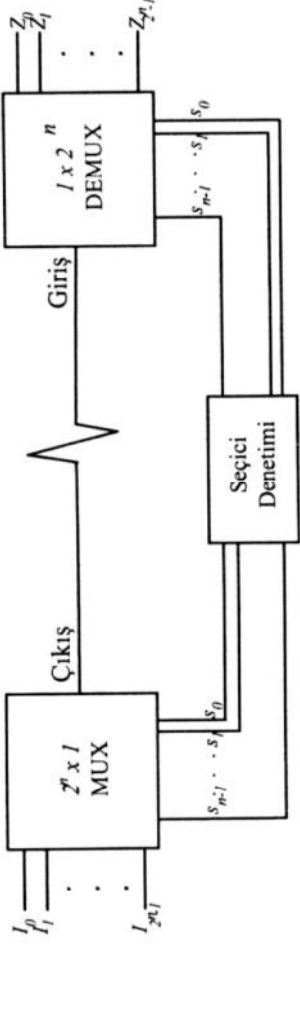
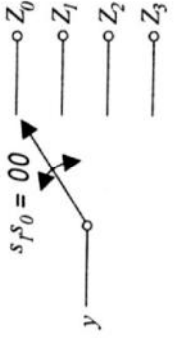
Dağıtıcı (DeMultiplexer, DEMUX)



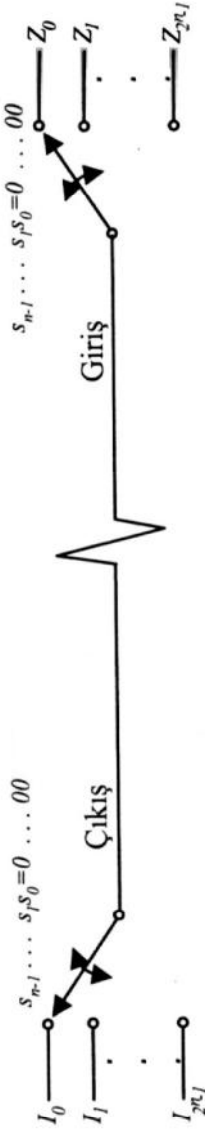
Şekil-7.15. Veri Dağıtıcı'ya ilişkin Lojik Devre Şeması

$$Z = m_i \cdot y \quad i = 0, 1, \dots, 2^n - 1$$

- eğer $s_1 s_0 = 00 \Rightarrow$ giriş birinci çıkışa verilir,
- eğer $s_1 s_0 = 01 \Rightarrow$ giriş ikinci çıkışa verilir,
- eğer $s_1 s_0 = 10 \Rightarrow$ giriş üçüncü çıkışa verilir,
- eğer $s_1 s_0 = 11 \Rightarrow$ giriş dördüncü çıkışa verilir.



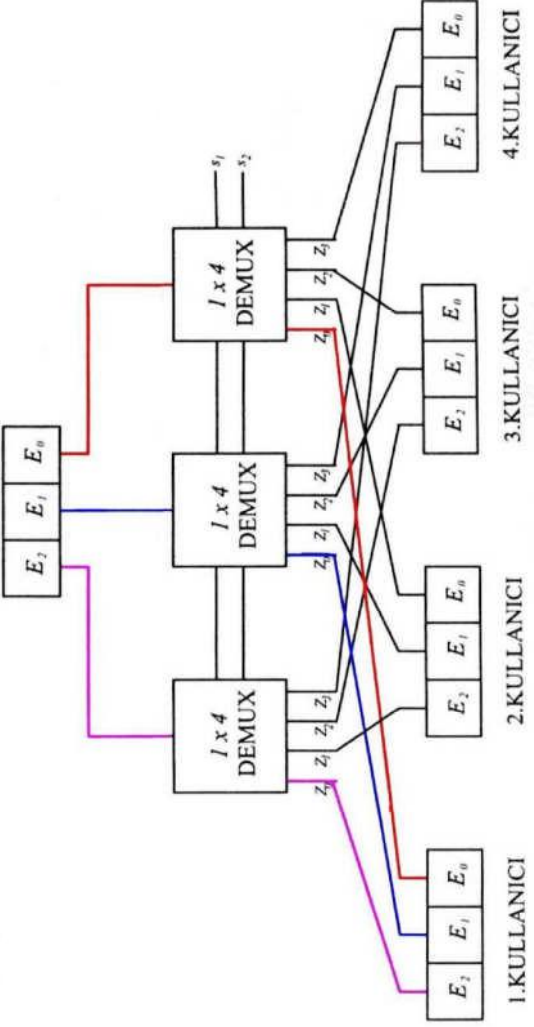
Şekil-7.16. Haberleşme Sistemlerinde Kullanılan MUX ve DEMUX elemanları



Şekil-7.17. Haberleşme Sistemlerindeki eşdeğer yapı

Örnek-7.9.

3 bitlik bir ifade dört kullanıcıya aktarılacaktır; bu işlem her kullanıcının seçilmesi ve bilginin sadece bu kullanıcılara ulaştırılması şeklinde olacaktır. Bu devrenin DEMUX elemanları kullanılarak gerçekleştiriniz.



DEMUX elemanları ile Gerçeklenen Tasarım

- $s_1.s_2 = 00$ ise $E_2.E_1.E_0$ verisi 1.kullanıcıya,
- $s_1.s_2 = 01$ ise $E_2.E_1.E_0$ verisi 2.kullanıcıya,
- $s_1.s_2 = 10$ ise $E_2.E_1.E_0$ verisi 3.kullanıcıya,
- $s_1.s_2 = 11$ ise $E_2.E_1.E_0$ verisi 4.kullanıcıya gönderilir.

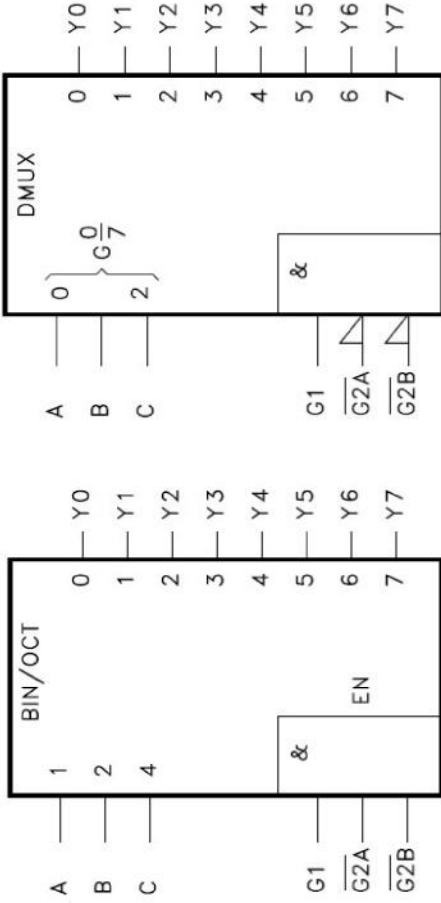
5. Kombinezonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

, Y.Doç.Dr. Tuncay UZUN

5-55

Kod Çözücü (Decoder) / Dağıtıcı (DeMultiplexer, DMUX)

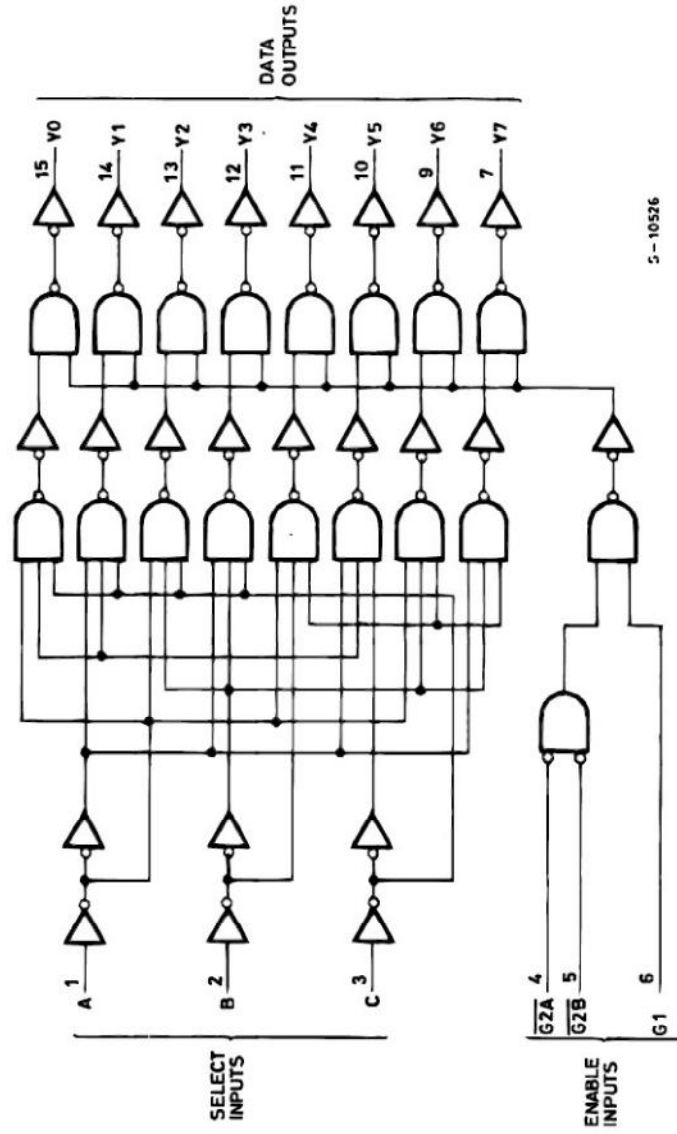
74138 İzin denetimli 3x8 Kod Çözücü / 1x8 Dağıtıcı (DMUX)



5. Kombinezonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

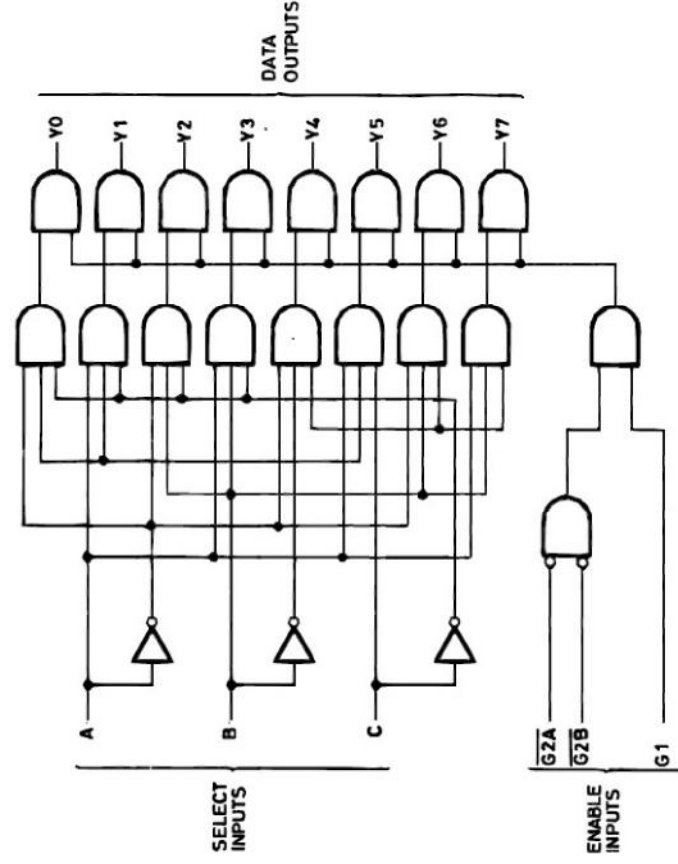
, Y.Doç.Dr. Tuncay UZUN

5-56



5. Kombinezonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

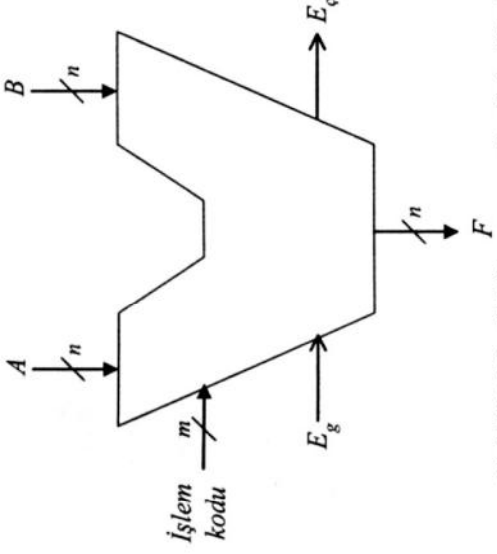
, Y.Doç.Dr.Tuncay UZUN



5. Kombinezonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

, Y.Doç.Dr.Tuncay UZUN

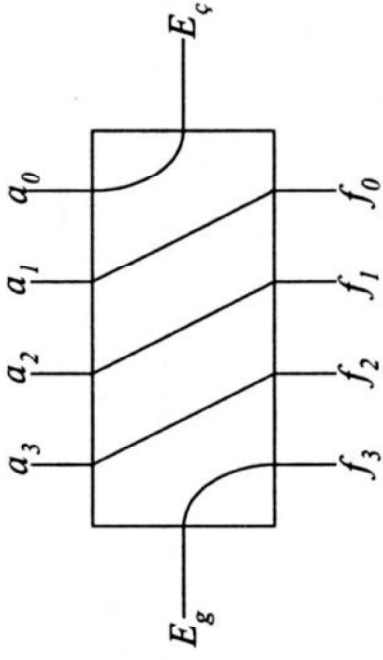
5.2.6. Aritmetik Lojik Birim (ALU)

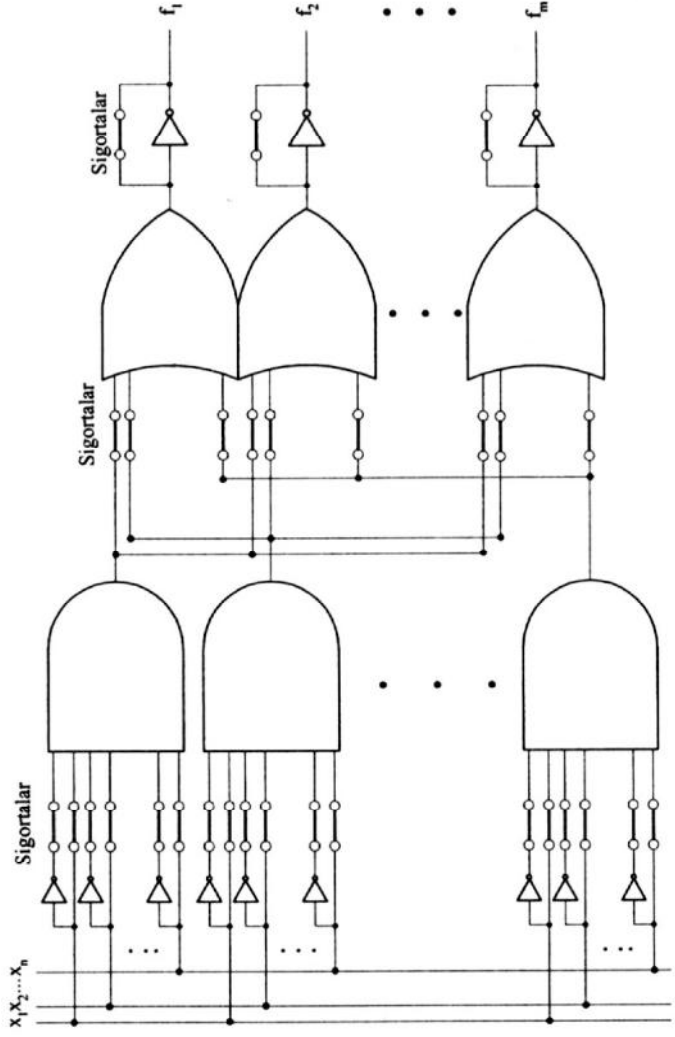


Şekil-7.22. ALU'nun genel gösterilimi

Tablo-7.11. Örnek ALU işlem listesi ve kodları

İşlem Kodu $k_1 \ k_0$	İşlem	Açıklama
0 0	$F = A + B$	A ve B'nin içerikleri toplanır.
0 1	$F = A - B$	A'dan B çıkarılır.
1 0	$F = \overline{B}$	B'nin tüm bitleri tümlenir; 1'ler 0, 0'lar 1 yapılır.
1 1	$F = A$ 1 bit sağa öteleme	A'nın içeriği 1 bit sağa ötelenir; 0110 ise 0011 olur.





Örnek Pr: Lojik ifadesi aşağıda verilen dört girişli iki çıkışlı lojik fonksiyonu PLA elemanı kullanarak gerçekleştiriniz.

$$f_1(x_1, x_2, x_3, x_4) = \Sigma(1, 4, 6, 7, 9, 12, 14, 15)$$

$$f_2(x_1, x_2, x_3, x_4) = \Sigma(0, 1, 2, 3, 5, 8, 9, 10, 11, 13)$$

$x_3 \backslash x_2$	00	01	11	10
00	0	1	0	0
01	1	0	1	1
11	1	0	1	1
10	0	1	0	0

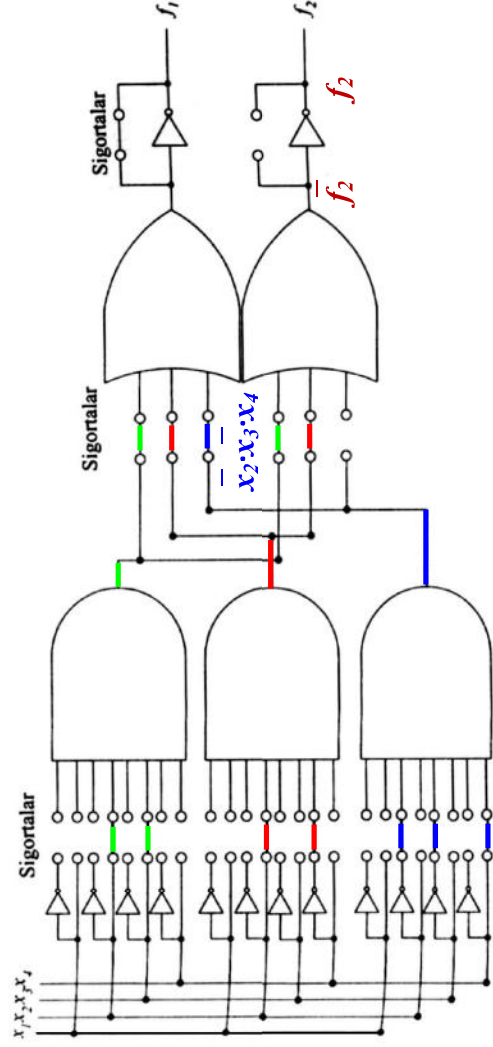
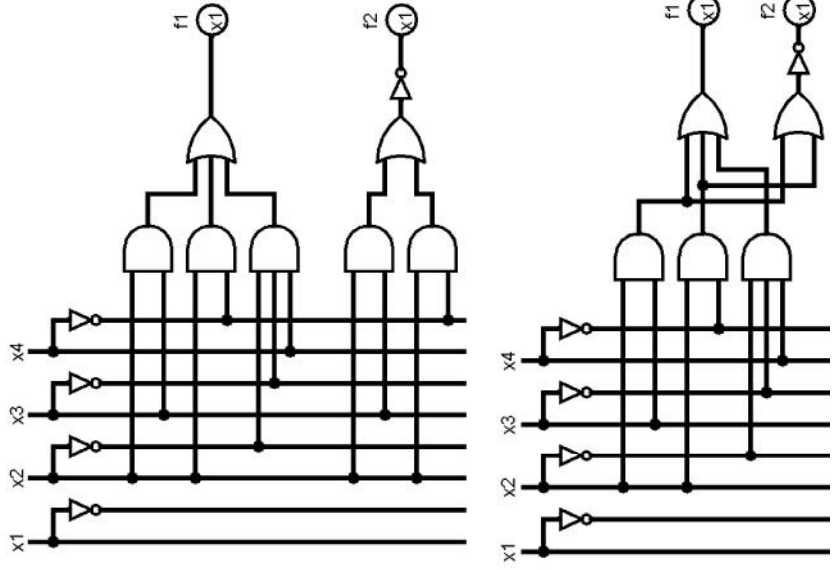
$x_3 \backslash x_4$	00	01	11	10
00	1	1	1	1
01	0	1	1	0
11	0	1	0	0
10	1	1	1	1

$$f_1 = x_2 x_3 + x_2 \bar{x}_4 + \bar{x}_2 \bar{x}_3 x_4$$

$$\bar{f}_1 = \bar{x}_2 x_3 + x_2 \bar{x}_3 x_4 + \bar{x}_2 \bar{x}_4$$

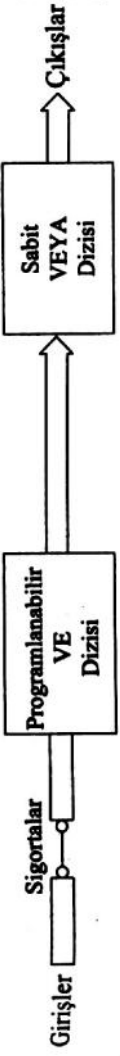
$$f_2 = \bar{x}_2 + \bar{x}_3 x_4$$

$$\bar{f}_2 = x_2 x_3 + x_2 \bar{x}_4$$



Şekil-9.7. Örnek-9.3'ün çözümü: PLA örneği

Programlanabilir Dizi Lojik (PAL, Programmable Array Logic)



Örnek Pr: Lojik ifadesi. Aşağıda verilen dört girişli üç çıkışlı lojik fonksiyonu PAL kullanarak gerçekleştiriniz.

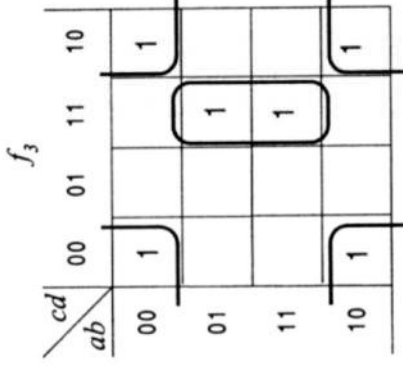
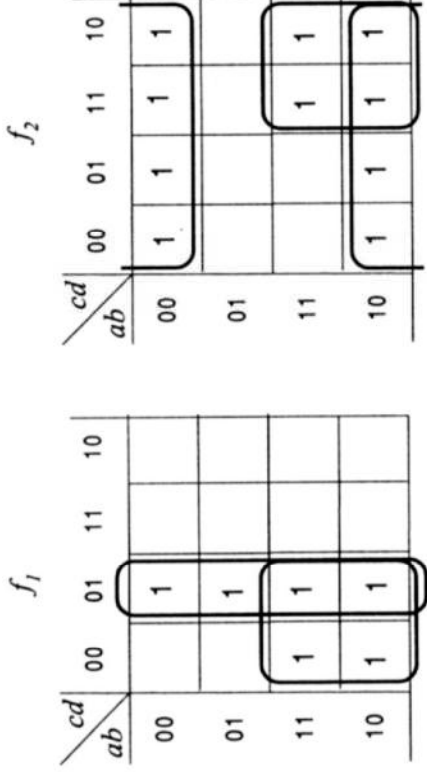
$$f_1(a, b, c, d) = \sum (1, 5, 8, 9, 12, 13) , f_2(a, b, c, d) = \sum (0, 1, 2, 3, 8, 9, 10, 11, 14, 15)$$

$$f_3(a, b, c, d) = \sum (0, 2, 7, 8, 10, 15)$$

5. Kombinezonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

, Y.Doç.Dr. Tuncay UZUN

5-67

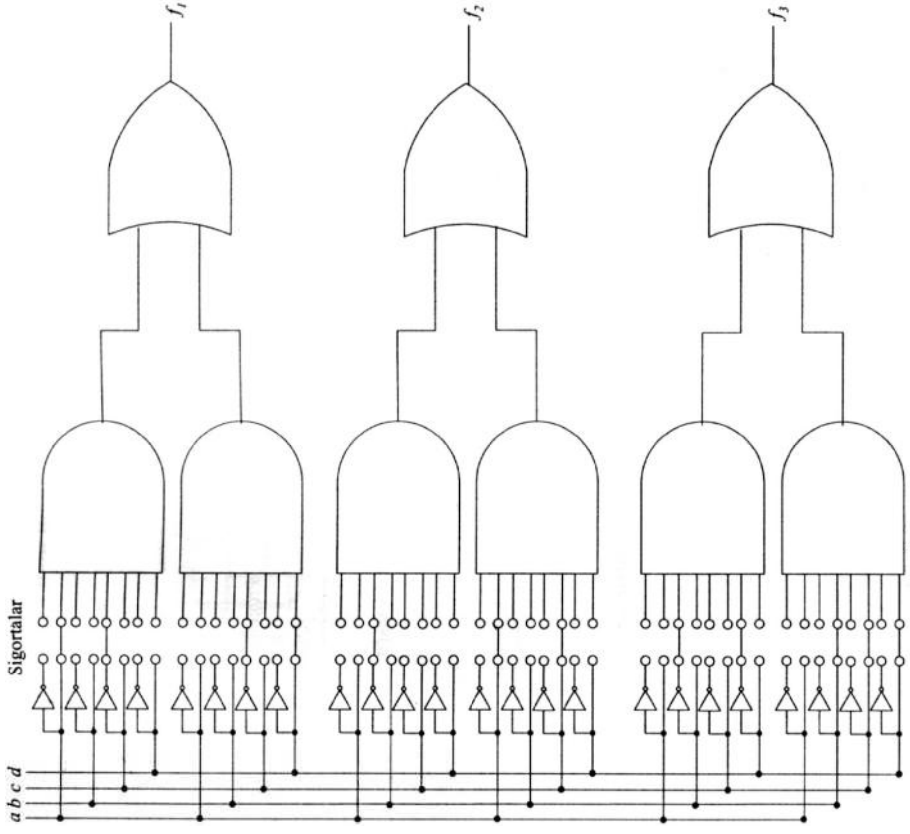


$$f_1(a, b, c, d) = a \cdot \bar{c} + \bar{c} \cdot d , f_2(a, b, c, d) = \bar{b} + a \cdot c , f_3(a, b, c, d) = \bar{b} \cdot \bar{d} + b \cdot c \cdot d$$

5. Kombinezonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

, Y.Doç.Dr. Tuncay UZUN

5-68



Şekil-9.4. Örnek-9.2'nin çözümü; PAL örneği

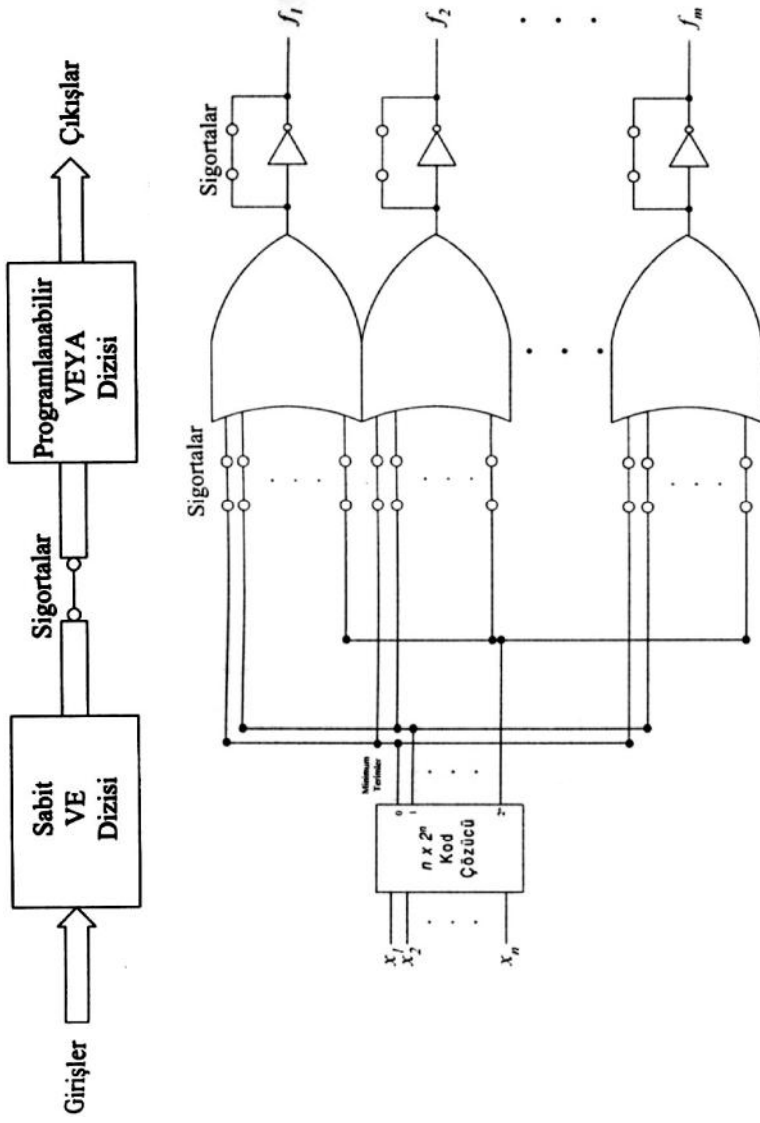
5. Kombinenzonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

, Y.Doç.Dr. Tuncay UZUN

5-69

Programlanabilir Lojik Eleman (PLE, Programmable Logic Element),

Programlanabilir Yalnız Okunur Bellek (PROM, Programmable Read Only Memory)



Şekil-9.1. PROM elemanına ilişkin mimari iç yapı

5. Kombinenzonsal Lojik Devre Tasarımı, Lojik Devre Temelleri

, Y.Doç.Dr. Tuncay UZUN

5-70

Örnek Pr: Lojik ifadesi. Aşağıda doğruluk tablosu verilen iki girişli üç çıkışlı lojik fonksiyonu, PLE (PROM) kullanarak gerçekleştiriniz.

x_1	x_2	f_1	f_2	f_3
0	0	1	0	0
0	1	0	1	0
1	0	0	1	0
1	1	1	0	1

$$f_1(x_1, x_2) = \Sigma(0, 3), \quad f_2(x_1, x_2) = \Sigma(1, 2), \quad f_3(x_1, x_2) = \Sigma(3)$$

