

Deney 7: Ardışıl Devre Analizi

Genel Bilgiler:

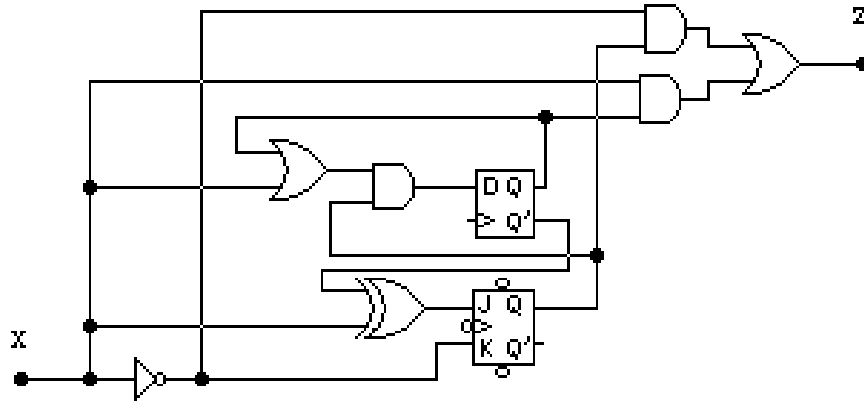
Lojik devre derslerinde de görüldüğü gibi bir ardışıl devrenin analizi matematiksel model, durum tablosu veya durum diyagramı yardımıyla üç farklı biçimde yapılabilmektedir.

Uygulamada bir ardışıl devrenin giriş dizisine karşı düşen çıkış dizileri, hatalı çıkışlarıyla birlikte gözlenir. Gözlenen çıkış dizisi zaman diyagramlarıyla bulunan ile aynıdır.

Bu deneyde ders notlarının 7. bölümünde verilen Mealy makinasının analizi yapılacaktır.

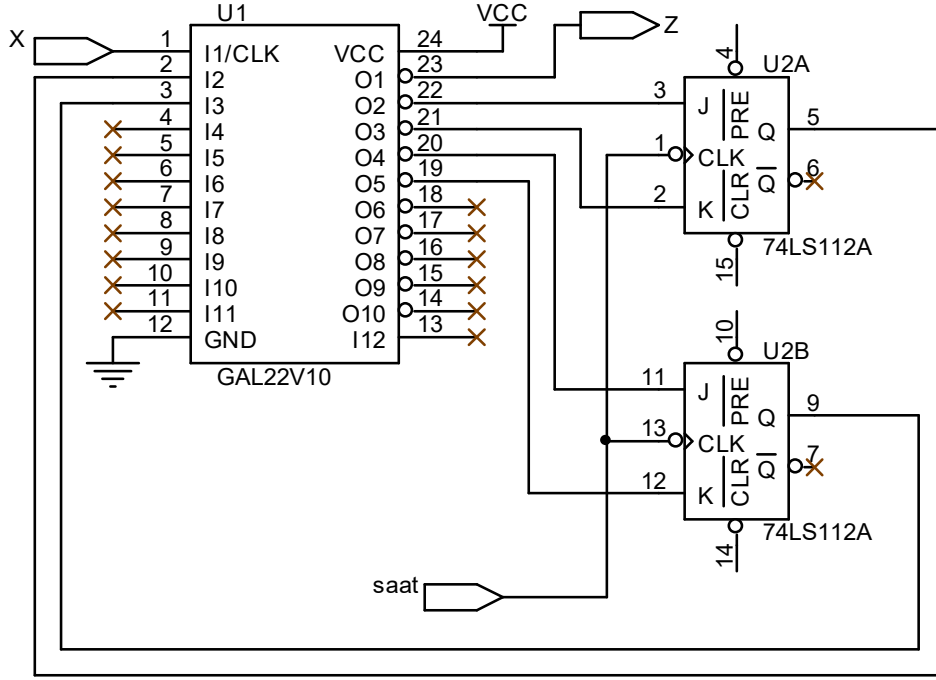
Teorik olarak SSI elemanlı sentez yaparken kullanılacak kapı elemanı sayısı ve yelpazesi ile bellek elemanı sayısının minimalleştirilmesi hedef alınmıştır. Oysa uygulamada tümleşik devreler kullanılmaktadır. Bir tümleşik devrede normal olarak bellek elemanlarından iki tane, giriş yelpazesi iki olan kapı elemanlarından ise dört tane vardır. Bu nedenle uygulamada kapı ve/veya bellek sayısından sonra tümleşik eleman sayısının da minimumlaştırılması önemlidir.

Şekil 7.1 de verilen, analizini yapacağımız devredeki tümleşik eleman sayısını, yukarıdaki açıklamaya uygun olarak adım adım minimalleştirelim. Mevcut haliyle 1 tümleyen, 1 VE, 1 VEYA, 1 Özel-VEYA, 1 D bellek ile 1 JK bellek tümleşik devresi olmak üzere toplam 6 SSI tümleşik devresine gereksim var. Tümleşik devre sayısını azaltmak için aynı tür kapı ve/veya bellek elemanı kullanmak gerekmektedir.



Şekil 7.1 Analizi yapılacak devre

- 1- Devrede D ve JK olmak üzere farklı iki türden iki bellek elemanı var, yani iki tümleşik devre gerekmektedir. D bellek elemanı yerine JK bellek elemanı kullanırsak iki JK bellek elemanı olacak yani bir tümleşik devre elemanı yetecek. JK belleğinden D belleği elde etmek için $K=J'$ almak gerekir. Nedenini düşününüz.
- 2- Mevcut Kapı elemanları yerine yalnızca tek tip kapı elemanı kullanırsak 4 SSI tümleşik devre yerine daha az sayıda tümleşik devre kullanılabilecektir.
- 3- Analizini yapacağımız devrede gerçekleşmesi gereken fonksiyon sayısı 5 dir. Bu fonksiyonların ayrıık elemanlar yerine, PROM, PAL gibi programlanabilir MSI elemanlarla de gerçekleştirilmesi mümkündür. Bu durumda, devrenin tüm kombinezonsal kısmı tek bir MSI eleman içinde yer alacaktır. Bu elemanın 3 girişi ve 5 çıkışı olacaktır. PAL22V10 tümleşik devresinin deney sonunda yer alan biçimde programlanması sayesinde devredeki tüm fonksiyonları gerçekleştirilecektir. Yeni devre şeması Şekil 7.2 de verilmiştir.



Şekil 7.2 Tümleşik eleman sayısı minimumlaştırılmış analizi yapılacak devre

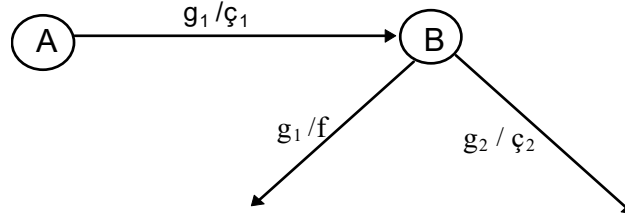
Deney Öncesi Yapılacak İşlemler:

- 1- Ardışıl ve kombinezonsal devrelerin ne gibi farkları vardır? Araştırınız.
- 2- Bellek elemanlarının işleyişlerini inceleyiniz.
- 3- GAL22V10 tümleşik devresinin özelliklerini öğreniniz.
- 4- Deneyin sonunda yer alan soruları yanıtlamaya çalışınız.

Deneyde Yapılacak İşlemler:

- 1- Teorik olarak verilen devrelerde genellikle kontrol girişleri gösterilmez, pratikte ise bu girişlerin katalog bilgilerine göre uygun yerlere bağlanması gerekir.
 - Minimum tümleşik devre elemanlı devreyi deney düzeneğiniz üzerinde gerçekleyiniz.
 - Her bir tümleşik devrenin beslemesi için gerekli olan 5V ve toprak bağlantılarını katalog bilgilerinden yararlanarak yapınız.
 - İstediğiniz başlangıç durumunu elde edebilmek için bellek elemanlarının PR (preset) girişlerini ayrı ayrı birer anahtara (logic switch) bağlayınız. *Anahtarlar saat dışındaki girişlerin devreye uygulanmasını sağlarlar.*
 - (00) başlangıç durumunu elde edebilmek için bellek elemanlarının CLR (clear) girişlerini birer anahtara (logic switch) bağlayınız.
 - Bellek elemanlarının Q_1, Q_2 çıkışlarıyla devrenin z çıkışını gözleyebilmek için LED (Light Emitting Diode)'lere bağlayınız.
 - Bellek elemanlarının saat girişlerini birbirine bağlayınız ve oluşan ortak ucu çınlamasız (debounce) anahtara bağlayınız. **Çınlamasız anahtar saat darbesindeki çınlamaları önleyerek, bir saat darbesinde bellek elemanının bir defa çalışmasını sağlar.**
 - Devrenin x girişini, istediğiniz bir giriş dizisini uygulayabilmek için, bir anahtara (logic switch) bağlayınız.

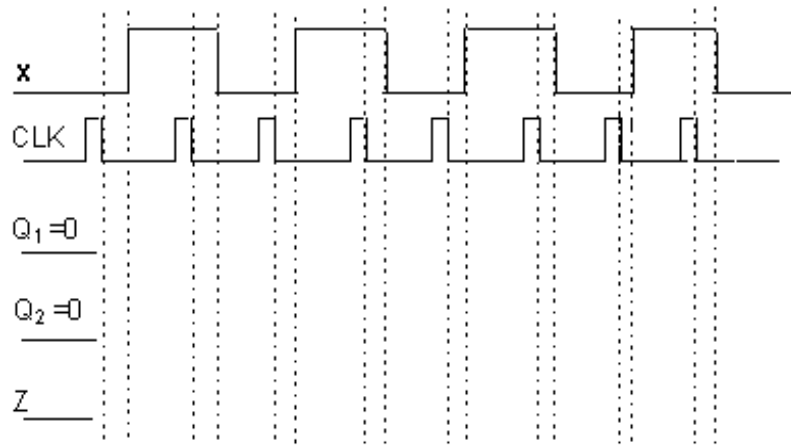
- 2- Analizini yapacağınız devrenin durum diyagramını çıkarınız. İpucu: Bellek elemanlarını preset ve clear girişlerine uygun değerler vererek, (katalog bilgisine başvurunuz) elde edilecek her bir durumda $x=0$ ve 1 için çıkışlar ve saat darbesi uygulandıktan sonra gidilen durumlar gözlenerek durum diyagramı bulunur.
- 3- $D=00$ başlangıç durumunda $x=0\ 1\ 0\ 1\ 0\ 1\ 0\ 1$ (önce 0) giriş dizisi için çıkış dizisini, hatalı çıkışlarını da belirterek saptayınız. Hatasız çıkış dizisini ayrıca yazarak saptayınız.
- Belli bir durumda ve belli bir giriş altında çıkışın ne olduğu, saat darbesi uygulanmadan gözlenir. Nedeni ardışıl devre çıkışlarının kombinezonsal devre çıkışları olmasıdır. (Ardışıl devrelerin genel yapısını düşününüz.) Şekil 7.3' te görüldüğü gibi A durumunda g_1 girişi altında saat darbesi uygulanmadan önce gözlenen çıkış ϕ_1 'dir. Saat darbesi uygulandıktan hemen sonra fakat girişin henüz değiştirilmediğinde gözlenen çıkış, yeni gidilen durumda henüz değiştirilmemiş girişe karşı düşen çıkıştır (f). Şekil 7.3'te görüldüğü gibi saat darbesi uygulandıktan hemen sonra gözlenen durum B, çıkış ise f'dir. Oysa istenen, yeni gidilen durumda (B), g_1 'i değil g_2 'yi uygulamaktır.



Şekil 7.3 Hatalı çıkışın gözlenmesi

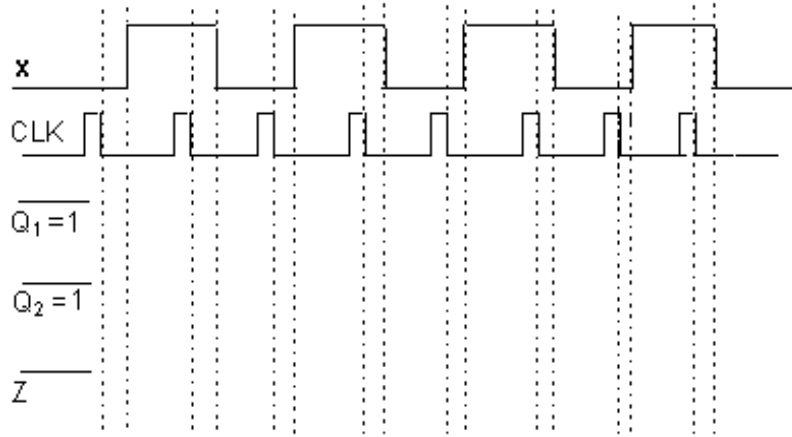
- Bu nedenle g_1 girişini ardından g_2 girişini uygulamak istediğimiz halde, istesek bile ϕ_1 çıkışından sonra istediğimiz ϕ_2 çıkışını gözlemeden önce f istenmeyen çıkışını gözlemek zorunda kalırız ki bu hatalı çıkıştır. Bu çıkış zaman diyagramında saat darbesinden hemen sonra görülen çıkıştır.

$D=00$ başlangıç durumu için Şekil 7-4 ile verilen zaman diyagramını tamamlayınız.



Şekil 7-4 $D=00$ başlangıç durumu için zaman diyagramı

- 4- D=11 başlangıç durumu için 3. adımı tekrarlayınız ve Şekil 7-5 ile verilen zaman diyagramını tamamlayınız.



Şekil 7-5 D=11 başlangıç durumu için zaman diyagramı

Sorular:

- 1- Verilen devrenin analizini teorik olarak yapınız.
- 2- Tümeleşik devre elemanlarının minimumlaştırılmasında kullanılan dört farklı transferin neler olduğunu nedenini belirterek açıklayınız.
- 3- PAL elemanlarının giriş-çıkış fonksiyonları nasıl tanımlanır ? Lojik devrelerde kullanılma nedenlerini açıklayınız.
- 4- Deneyde yapılacakların 3. ve 4. adımlarındaki hatasız çıkışların birbirinden farklı oluşunu, kombinezonsal ve ardışıl devre açısından yorumlayınız.
- 5- İncelediğimiz devrede aynı giriş dizisine karşı düşen birbirinden farklı en fazla kaç çıkış dizisi olur? Neden?
- 6- Analizini yaptığınız devrede hatalı çıkışların nedeni nedir? Hatalı çıkışlar, saat darbesi referans alındığında nerede görünür?
- 7- Çıkışta yalnızca hatasız çıkışları gözleyebilmek için bir çözüm bulunuz. Çözümünüzün nedenini açıklayınız. İpucu: Devrede mevcut JK bellek elemanlarıyla ortak saat girişi olan bir bellek elemanı düşününüz. Zamanınız varsa çözümünüzü uygulayınız.
- 8- Bu deneyde ancak bir uzunluklu giriş ve çıkış dizileri aynı anda gözlenebilmektedir. 4 uzunluklu giriş ve çıkış dizilerini aynı anda gözleyebilmek için ne yaparsınız? Zamanınız varsa önerinizi uygulayınız.
- 9- Bulduğunuz durum diyagramından yararlanarak hatalı 0 çıkışını gözleyebilmek için bir durum ve giriş dizisi örneği veriniz. Bir başka örneği hatalı 1 çıkışını için veriniz. Zamanınız varsa devrede verdiğiniz örnekleri gözleyebilirsiniz.

Malzeme Listesi:

- 1 adet 74HC112 JK bellek elemanı
- 1 adet GAL22V10 PAL elemanı (Deneyden önce programlanmış olmalı.)

PAL Programı:

```
Name      Deney6 Mealy Makinesi ;
Date      22.09.2003 ;
Company   Atmel ;
Device    g22V10 ;
```

```
/* ***** INPUT PINS *****/
PIN [1..3] = [x,y1,y2];
```

```
/* ***** OUTPUT PINS *****/
PIN [19..23] = [K2,J2,K1,J1,Z];
```

```
/* EQUATIONS */
Z = (!x & y2) # (x & y1);
J1 = (x & y2) # (y1 & y2);
K1 = (!x & !y1) # !y2;
J2 = (x & y1) # (!x & !y1);
K2 = !x;
```