

Lojik Devre Laboratuvarı

Deney Tasarlama Aşaması

Konu: Ötelemeli Yazmaç

Tasarlanacak Deneyin Amacı: Ötelemeli Yazmaç (shift register), lojik devre tasarımında kullanılan temel devre bloklarından bir tanesidir. Bu amaçla ticari olarak üretilen birçok ötelemeli yazmaç tümdevresi mevcuttur. Bu tümdevreler ile lojik olarak paralel yükleme, sağa sola öteleme işlemleri yapılabilir. GAL22V10 programlanabilir lojik elemanı kullanarak ötelemeli yazmaç lojik devre bloğunun çalışmasını deneysel olarak gösterecek şekilde bir deney tasarlanması amaçlanmıştır.

Paralel yükleme, sağa ve sola öteleme (**ek özellikler eklenebilir**) işlevleri olan bir **4-bit ötelemeli yazmaç devre** bloğunun deneysel olarak nasıl inceleneceğini içeren bir deneyi tasarlayınız. Tasarladığınız deneyi “Lojik Devreler Laboratuvarı Deney Föyü Şablonuna” uygun olarak hazırlayınız.

Deney Tasarlama dosyalarınızı ilgili Araştırma Görevlisine en geç 07 Mayıs 2019 tarihi sabahı 08.00’a kadar teslim ediniz. Tasarladığınız deneyi 07 Mayıs 2019 tarihinde laboratuvarında gerçekleyiniz. Hazırladığınız deneye ilişkin devre simülasyonlarını içeren deney raporunu deneyi yapacağınız tarihte sorumlu Araştırma Görevlisine teslim ediniz.

Deney föyü şablonu: “Deney Tasarlama Aşaması ” dosyası ile birlikte verilmiştir. Bilgisayar ortamında, MS Word veya eşdeğeri bir programda hazırlanmalı, yazıcı çıktısı sorumlu Araştırma Görevlisine teslim edilmelidir.

Teslim Tarihi: Her grubun deney saatidir. Ayrıca, tasarladığınız deneyde kullanacağınız GAL22V10 programlanabilir lojik elemanı için wincupl programında hazırladığınız ve derleme işlemi sonucu elde edilen “.jed” uzantılı programlama dosyalarını en geç deney günü sabahı 08:00’a kadar dersin LAB sorumlusuna e-posta ile ulaştırınız.

NOT: Tasarladığınız deneye ait dokümanlar deney grubunuza ait olmalıdır. Kopya dokümanlara ait grupların bu aşamaya ilişkin puanları -50 olacak şekilde belirlenecektir.

Lütfen etik kural ve kaidelere uyacak şekilde dokümanı hazırlayınız.