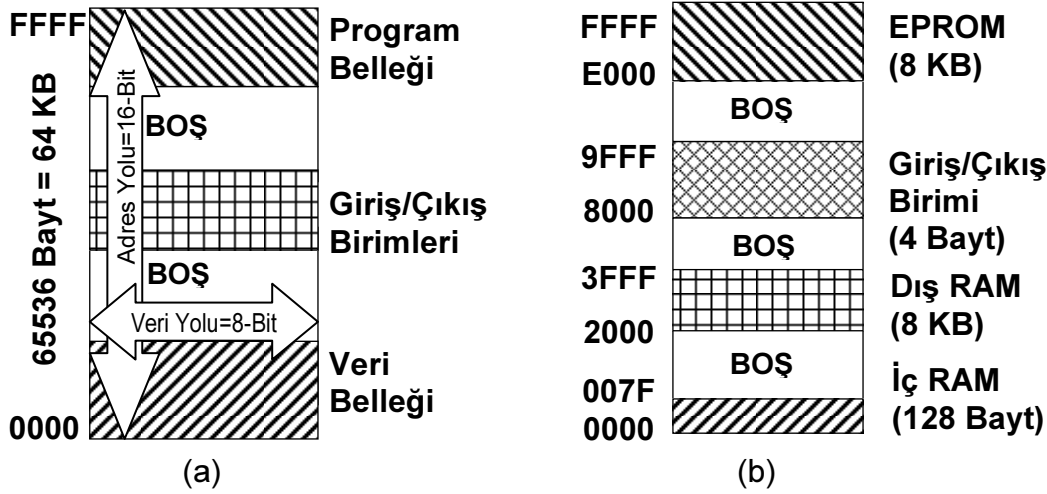


## 10. ANA BELLEK SİSTEMİNİN TASARIMI

Bu bölümde mikroişlemci temelli sistemin donanımının çalışması için gerekli olan ana bellek sisteminin tasarımı yapılacaktır.

### 10.1. 6802 Mikroişlemci Bellek Haritası

6802 merkezi işlem birimi, mikroişlemcisi bellek ve çevre, Giriş/Çıkış birimlerinin hepsini aynı 64 KB bellek haritasında bulunduracak şekilde tasarlanmıştır. Bütün bu birimlere erişmek için ayrı, değişik veya özel komutlar yoktur.



Şekil 10-1 6802 Mikroişlemci Bellek Haritası

### 10.2. Mikroişlemci Temelli Sistemin Adres Çözümleme Devresi

Mikroişlemci temelli bir sistemin bellek haritası ile verilen ana bellek sisteminin tasarımı için adres çözümleme devresini tasarlanmalıdır. Bunun için önce bir indirgeme tablosu yapılır. Bu tabloda adres bölgesini belirleyen adres ucunun değişmez değeri "0" / "1" olarak belirtilir. Adres bölgesini belirleyen adres ucunun değişen değeri "x" olarak belirtilir. Birime bağlanmayan adres ucunun değişen değeri ise "." olarak belirtilir.

Tablo 10-1 Adres çözümleme için indirgeme tablosu

A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	Adres Bölgesi	Açıklama
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000	RAM
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFF	(8KB)
0	0	1	x	x	x	x	x	x	x	x	x	x	x	x	x	0000-3FFF	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	8000	G/Ç
1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	9FFF	(6821, PIA)
1	0	0	.	.	.	.	.	.	.	.	.	.	.	x	x	8000-9FFF	(4 Bayt)
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	E000	
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFF	EPROM
1	1	1	x	x	x	x	x	x	x	x	x	x	x	x	x	E000-FFFF	(8KB)

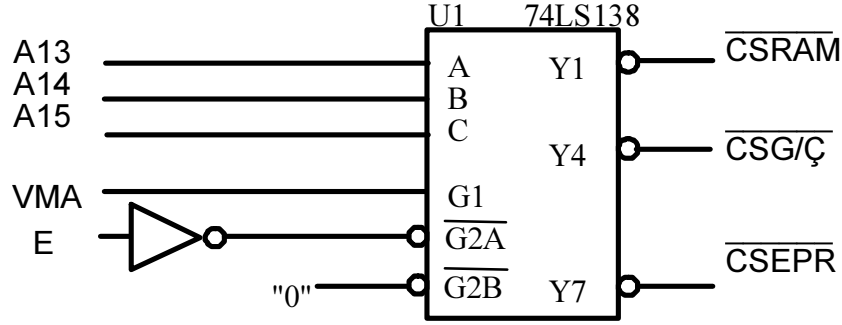
Mikroişlemcinin  
adres çözümleme  
devresine bağlanan  
adres uçları

Mikroişlemcinin birime  
bağlanan adres uçları

0000 ile 007F adresleri arasında yer alan 128 Bayt iç RAM bu tabloda gösterilmez. Çünkü bu birimin seçimi RE ucu "1" yapılarak sağlanır. Eğer bu birim bellek haritasında yer almamışsa veya yerinde daha farklı kapasitede bir RAM bellek birimi varsa RE ucu "0" yapılarak sistemde yer almaması sağlanır.

Yukarıdaki RAM ve EPROM birimlerinin bütün adres uçları mikroişlemciye bağlandığı için her bir fiziksel belleğin bir adresi vardır ve bu tip adres çözümlenmeye tam (yansımasız) adres çözümlenme denir.

Bu bellek haritasını sağlayan, yalnız kod çözücü ve tümleyen kapısı kullanılmış bir adres çözümlenme devresi örneği aşağıda verilmiştir.

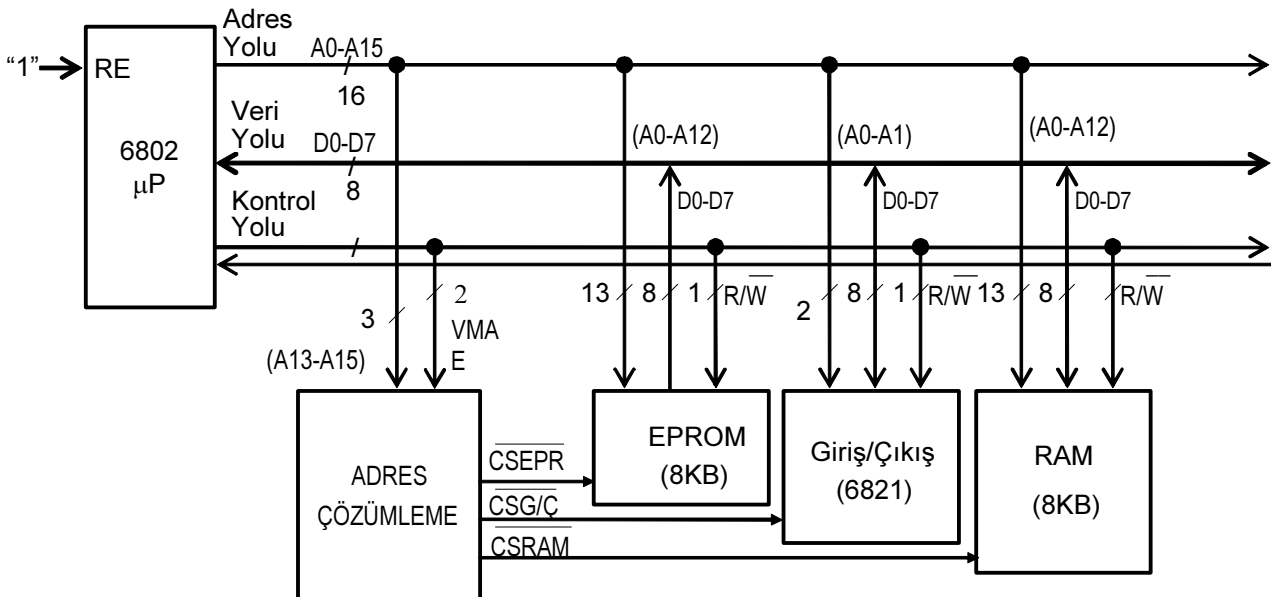


Şekil 10-2 Adres çözümlenme devresi

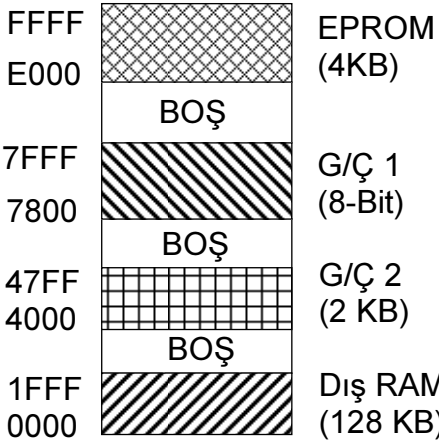
Adres çözümlenme devresinin ayrıntılı tasarımında, birimlerin seçimi için ayrıca gerekli olan mikroişlemcinin kontrol uçları 6802 için Geçerli Bellek Adresi (VMA) ve Sistem Saati (E) uçlarıdır. Bu uçların gerekliliği ve zamanlaması merkezi işlem birimi tasarımı bölümü içindeki bellek okuma / yazma kontrol uçları kısmında verilmiştir.

### 10.3. Mikroişlemci Temelli Sistemin Blok Diyagramı

Bu blok diyagram grafik olarak mikroişlemci temelli sistemin donanım özellikleri hakkında genel bilgiyi verir. Örneğin 6802 mikroişlemcisi içinde tümleşik olarak bulunan 128 Bayt RAM biriminin çalışması için gerekli olan RE ucunun "1" yapıldığı blok diyagramda gösterilerek tasarlanır.



Şekil 10-3 6802 mikrodeneleyici temelli sistemin blok diyagramı



**Örnek 10-1.** Yanda 6802 mikroişlemci temelli bir sistemin bellek haritası verilmiştir.

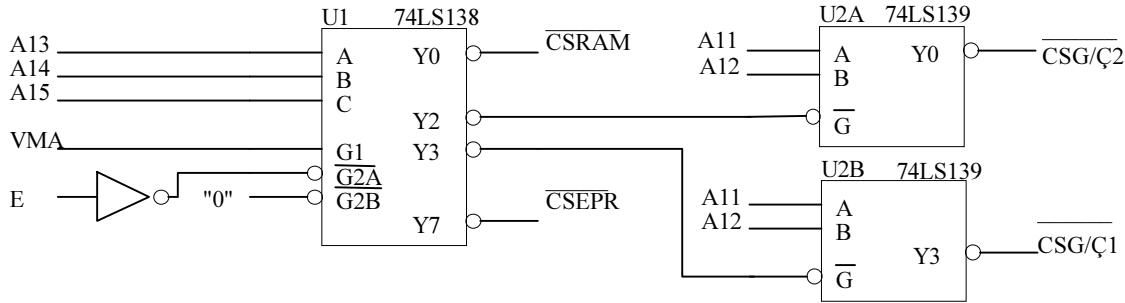
a) Adres çözümlenme devresini, az sayıda yalnız kod çözücü tümeleşik devre ve gerekli durumlarda NOT kapısı kullanarak ayrıntılı olarak tasarlayınız.

b) Yol büyüklük ve adlarını belirterek blok diyagramını çiziniz. NOT: RAM, EPROM ve Giriş/Çıkış tümeleşik devrelerinin her biri, bir tane "0" aktif seçim ucuna sahiptir.

**Çözüm 10-1.a)** 128 Bayt iç RAM seçilmeyerek (RE="0") devre dışı bırakıldı.

A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	Adres Bölgesi	Açıklama
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000	RAM (8KB)
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFF	
0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	0000-1FFF	
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000	
0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	47FF	G/Ç 2 (2KB)
0	1	0	0	0	x	x	x	x	x	x	x	x	x	x	x	4000-47FF	
0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	7800	
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	7FFF	G/Ç 1 (8-bit)
0	1	1	1	1	.	.	.	.	.	.	.	.	.	.	x	7800-7FFF	
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	E000	
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFF	EPROM (4KB)
1	1	1	.	x	x	x	x	x	x	x	x	x	x	x	x	E000-FFFF	

Adres çözümlenme tablosunda değişmeyen adres uçlarına bakılarak, 1 tane 3'den 8'e, 2 tane 2'den 4'e kod çözücü kullanarak adres çözümlenme devresi ayrıntılı olarak tasarlanabilir.



Mikroişlemci temelli sistemin blok diyagramı:

